

**Family list**

1 family member for:

**JP2001281694**

Derived from 1 application.

**1 SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURE FOR  
THE SAME**

**Publication Info: JP2001281694 A - 2001-10-10**

---

Data supplied from the *esp@cenet* database - Worldwide

DIALOG(R)File 347:JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

07054059      \*\*Image available\*\*

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURE FOR THE  
SAME

PUB. NO.:        **2001-281694** [JP 2001281694 A]  
PUBLISHED:     October 10, 2001 (20011010)  
INVENTOR(s):   TAKAYAMA TORU  
                     YAMAZAKI SHUNPEI  
                     SATO KEIJI  
                     AKIMOTO KENGO  
APPLICANT(s):   SEMICONDUCTOR ENERGY LAB CO LTD  
APPL. NO.:       2000-090389 [JP 200090389]  
FILED:            March 29, 2000 (20000329)  
INTL CLASS:     G02F-001/1368; G02F-001/1343; G09F-009/30; H01L-029/786;  
                     H01L-021/336

### ABSTRACT

**PROBLEM TO BE SOLVED:** To enhance operational characteristics and reliability of a semiconductor device, and to realize the improvement of a yield by suppressing the generation of corrosion which is called electric corrosion at the time of forming a metal wiring and a transparent electrode.

**SOLUTION:** A wiring material has a three or more layered structure, consisting of a thin-film layer consisting of oxidation resistant metal, a thin-film layer formed thereon and consisting of or essentially of aluminum and 9 thin- film layer formed thereon and consisting of oxidation resistant metal and metal oxide is used for transparent electrode material. After the wiring is formed, an oxygen plasma treating method and a thermal oxidation treating method are used.

**COPYRIGHT:** (C) 2001, JPO

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-281694

(P 2 0 0 1 - 2 8 1 6 9 4 A)

(43) 公開日 平成13年10月10日 (2001. 10. 10)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テ-コ-ド (参考)
G02F 1/1368		G02F 1/1343	2H092
1/1343		G09F 9/30	310 5C094
G09F 9/30	310	G02F 1/136	500 5F110
H01L 29/786		H01L 29/78	616 S
21/336			616 U

審査請求 未請求 請求項の数13 O L (全31頁) 最終頁に続く

(21) 出願番号 特願2000-90389 (P 2000-90389)

(22) 出願日 平成12年3月29日 (2000. 3. 29)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 高山 徹

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 佐藤 恵司

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

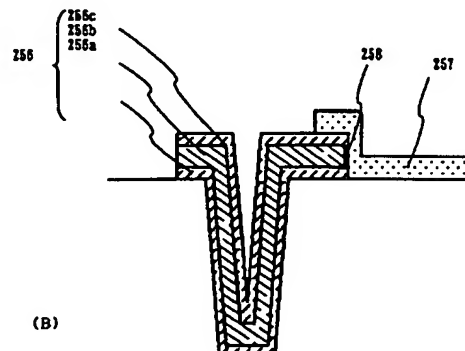
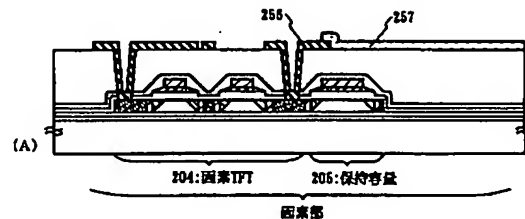
最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

## (57) 【要約】

【課題】 金属配線と透明電極を形成する際、電蝕といわれる腐食の発生をおさえることにより、半導体装置の動作特性および信頼性を向上させ、歩留まりの向上を実現することを目的とする。

【解決手段】 配線材料については耐酸化性金属からなる薄膜層と、その上に形成されたアルミニウムもしくはアルミニウムを主成分とする薄膜層と、その上に形成された耐酸化性金属からなる薄膜層からなる3層以上の構造とし、また透明電極材料に金属酸化物を使用する。また、配線形成後、酸素プラズマ処理する方法と、熱酸化処理する方法を用いる。



## 【特許請求の範囲】

【請求項 1】画素部を有する半導体装置において、前記画素部に設けた画素電極は光透過性を有し、絶縁膜上に形成され、導電性金属配線と接続しており、前記導電性金属配線は、耐熱性金属からなる第一の導電層と、前記第一の導電層の上に形成されたアルミニウムもしくはアルミニウムを主成分とする第二の導電層と、前記第二の導電層の上に形成された耐熱性金属からなる第三の導電層と、から成り、前記耐熱性金属は、Ti、Cr、Mo、Wから選ばれた一あるいは複数の元素を主成分とし、前記画素電極は、前記第三の導電層の表面及び端部に接触し、前記画素電極は、前記第一の導電層と、前記第二の導電層の端部に接触し、前記第二の導電層と前記画素電極との境界における、アルミニウム濃度は70atomic%以下であり、かつ、酸素濃度は25atomic%以上である領域が形成されていることを特徴とする半導体装置。

【請求項 2】一対の基板間に液晶を挟持した半導体装置であって、一方の基板は、画素部を有し、前記画素部に設けた画素電極は光透過性を有し、絶縁膜上に形成され、導電性金属配線と接続しており、前記導電性金属配線は、耐熱性金属からなる第一の導電層と、前記第一の導電層の上に形成されたアルミニウムもしくはアルミニウムを主成分とする第二の導電層と、前記第二の導電層の上に形成された耐熱性金属からなる第三の導電層と、から成り、前記耐熱性金属は、Ti、Cr、Mo、Wから選ばれた一あるいは複数の元素を主成分とし、前記画素電極は、前記第三の耐熱性金属からなる薄膜層の表面及び端部に接触し、前記画素電極は、前記第一の耐熱性金属からなる薄膜層と、前記第二の薄膜の端部に接触し、前記第二の導電層と前記画素電極との境界における、アルミニウム濃度は70atomic%以下であり、かつ、酸素濃度は25atomic%以上である領域が形成されており、透明導電膜が形成された他方の基板と、前記第二の層間絶縁膜とに設けられた開孔に重ねて形成された少なくとも一つの柱状スペーサを介して貼合わされていることを特徴とする半導体装置。

【請求項 3】フレキシブルプリント回路基板が接続された半導体装置において、導電性金属配線は、耐熱性金属からなる第一の導電層と、前記第一の導電層の上に形成されたアルミニウムもしくはアルミニウムを主成分とする第二の導電層と、前記第二の導電層の上に形成された耐熱性金属からなる第三の導電層と、から成り、前記耐熱性金属は、Ti、Cr、Mo、Wから選ばれた一あるいは複数の元素を主成分とし、前記導電性金属配線の上に透明導電膜が形成され、前記透明導電膜は、前記第三の導電層の表面及び端部に接触し、前記透明導電膜は、前記第一の導電層と、前記第二の導電層の端部に接触し、前記第二の導電層と前記画素電極との境界における、アルミニウム濃度は70atomic%以下であり、か

つ、酸素濃度は25atomic%以上である領域が形成され、前記フレキシブルプリント回路基板と、貼合わされていることを特徴とする半導体装置。

【請求項 4】請求項 1 乃至請求項 3 のいずれか一項において、前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、プロジェクターであることを特徴とする半導体装置。

【請求項 5】請求項 1 乃至請求項 4 のいずれか一項において、

第一の導電層は、50～150nmの厚さのTi膜の上に、重ねてTiN膜が50～150nmの厚さで形成され、第二の導電層はアルミニウムもしくはアルミニウムを主成分とする膜を300～400nmの厚さで形成され、第三の導電層はTi膜または窒化チタン膜が100～200nmの厚さで形成されることを特徴とする半導体装置。

【請求項 6】画素TFTを有する半導体装置の作製方法において、駆動回路の上方に、絶縁物材料から成る層間絶縁膜を形成する第1の工程と、前記層間絶縁膜に設けられた開孔を介して前記画素TFTに接続する導電性金属配線は、耐熱性金属からなる薄膜層を形成する第2の工程と、前記耐熱性金属からなる薄膜層の上にアルミニウムもしくはアルミニウムを主成分とする薄膜層を形成する第3の工程と、前記アルミニウムもしくはアルミニウムを主成分とする薄膜層の上に耐熱性金属からなる薄膜層を形成する第4の工程と、を有し、前記耐熱性金属は、Ti、Cr、Mo、Wから選ばれた一あるいは複数の元素を主成分とし、前記層間絶縁膜上に前記導電性金属配線に接続する画素電極を形成する第5の工程とを有することを特徴とする半導体装置の作製方法。

【請求項 7】一対の基板間に液晶を挟持した半導体装置の作製方法において、画素部に設けた画素TFTを一方の基板は、前記一方の基板上において、駆動回路の上方に、層間絶縁膜を形成する第1の工程と、前記層間絶縁膜に設けられた開孔を介して前記画素TFTに接続する導電性金属配線は、耐熱性金属からなる薄膜層を形成する第2の工程と、前記耐熱性金属からなる薄膜層の上にアルミニウムもしくはアルミニウムを主成分とする薄膜層を形成する第3の工程と、前記アルミニウムもしくはアルミニウムを主成分とする薄膜層の上に耐熱性金属からなる薄膜層を形成する第4の工程と、を有し、前記層間絶縁膜上に前記導電性金属配線に接続する画素電極を形成する第5の工程と、他方の基板に少なくとも透明導電膜を形成する第6の工程と、前記開孔に重ねて形成された少なくとも一つの柱状スペーサを介して、前記一方の基板と前記他方の基板を貼合わせる第7の工程とを有することを特徴とする半導体装置の作製方法。

【請求項 8】フレキシブルプリント回路が接続された半導体装置の作製方法において、導電性金属配線は、耐熱

性金属からなる薄膜層を形成する第1の工程と、前記耐熱性金属からなる薄膜層の上にアルミニウムもしくはアルミニウムを主成分とする薄膜層を形成する第2の工程と、前記アルミニウムもしくはアルミニウムを主成分とする薄膜層の上に耐熱性金属からなる薄膜層を形成する第3の工程と、を有し、前記導電性金属配線の上に透明導電膜を形成する第4の工程と、前記フレキシブルプリント回路基板と、前記半導体装置とを貼合わせる第5の工程とを有することを特徴とする半導体装置の作製方法。

【請求項9】請求項6乃至請求項8のいずれか一項において、前記導電性金属配線を形成した後、前記基板を大気雰囲気中に曝した後、酸素プラズマを用いた処理を行い、前記アルミニウムもしくはアルミニウムを主成分とする薄膜層の端部に、アルミニウム濃度が70atomic%以下であり、酸素濃度が25atomic%以上である領域を形成することを特徴とする半導体装置の作製方法。

【請求項10】請求項6乃至請求項9のいずれか一項において、前記導電性金属配線を形成した後、前記画素電極を形成する直前に、前記画素電極を形成するチャンバ

ー内において、前記導電性金属配線を酸素プラズマを用いた処理することを特徴とする半導体装置の作製方法。

【請求項11】請求項6乃至請求項10のいずれか一項において、前記導電性金属配線をプラズマによるエッチングで形成した後、減圧雰囲気を保ちながら、前記導電性金属配線を弗素プラズマと酸素プラズマを用いた処理をすることを特徴とする半導体装置の作製方法。

【請求項12】請求項6乃至請求項11のいずれか一項において、前記導電性金属配線を形成した後、酸素を含んだ雰囲気中で加熱することを特徴とする半導体装置の作製方法。

【請求項13】請求項6乃至請求項12のいずれか一項において、前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、プロジェクターであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は絶縁表面を有する基板上に薄膜トランジスタ（以下、TFTと記す）で構成された回路を有する半導体装置およびその作製方法に関する。特に本発明は、画素部とその周辺に設けられる駆動回路を同一の基板上に設けた液晶表示装置に代表される電気光学装置、および電気光学装置を搭載した電子機器に好適に利用できる技術を提供する。尚、本明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光学装置およびその電気光学装置を搭載した電子機器をその範疇に含んでいる。

【0002】

【従来の技術】アクティブマトリクス型の液晶表示装置に代表される電気光学装置において、スイッチング素子や能動回路を、TFTを用いて構成する技術が開発されている。TFTはガラスなどの基板上に気相成長法などにより半導体膜を形成し、その半導体膜を活性層として形成する。半導体膜にはシリコンまたはシリコン・ゲルマニウムなどシリコンを主成分とする材料が好適に用いられている。このような半導体膜はその作製法により、シリコン膜や多結晶シリコンに代表される結晶質シリコン膜などに分類することができた。

【0003】非晶質半導体（代表的には非晶質シリコン）膜を活性層としたTFTは、非晶質構造などに起因する電子物性的要因から、数 $\text{cm}^2/\text{Vsec}$ 以上の電界効果移動度を得ることは不可能であった。そのために、アクティブマトリクス型の液晶表示装置においては、画素部において液晶を駆動するためのスイッチング素子（画素TFT）として使用することはできても、画像表示を行うための駆動回路を形成することは不可能であった。従って、駆動回路はTAB（Tape Automated Bonding）方式やCOG（Chip on Glass）方式を使ってドライバICなどを実装する技術が用いられていた。

【0004】一方、結晶構造を含む半導体（以下、結晶質半導体と記す）膜（代表的には、結晶質シリコン或いは多結晶シリコン）を活性層としたTFTでは、高い電界効果移動度が得られることから各種の機能回路を同一のガラス基板上に形成することが可能となり、画素TFTの他に駆動回路においてシフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング回路などを実現することができた。このような回路は、nチャネル型TFTとpチャネル型TFTとから成るCMOS回路を基本として形成されていた。このような駆動回路の実装技術が根拠となり、液晶表示装置において軽量化および薄型化を推進するためには、画素部の他に駆動回路を同一基板上に一体形成できる結晶質半導体層を活性層とするTFTが適していることが明らかとなってきた。

【0005】

【発明が解決しようとする課題】TFTの特性から比較すると結晶質半導体層を活性層に適用した方が優れているが、画素TFTの他に各種回路に対応したTFTを作製するためには、その製造工程が複雑なものとなり工程数が増加してしまう問題があった。工程数の増加は製造コストの増加要因になるばかりか、製造歩留まりを低下させる原因となることは明らかである。

【0006】製造コストの低減および歩留まりを実現するためには、工程数を削減することが一つの手段として適用できる。ここでは具体的に、TFTの製造に要するフォトリソグラフィの技術において、エッチング工程のマスクとするレジストパターンを基板上に形成するために用いる。従って、フォトリソグラフィを1枚使用するこ

10

20

30

40

50

とは、その前後の工程において、被膜の成膜およびエッチングなどの工程の他に、レジスト剥離、洗浄や乾燥工程などが付加され、フォトリソグラフィーの工程においても、レジスト塗布、プレバーク、露光、現像、ポストバークなどの煩雑な工程が行われることを意味する。

【0007】図20(a)に従来のTFT構造の全体図を示す。このTFT構造は、透明電極を用いたアクティブマトリクス基板に用いられている。このアクティブマトリクス基板を用いれば、透過型の液晶表示装置を作製することができる。このTFT構造において、配線と、透明電極の接触に注目する。ここでは、透明電極は配線の上より折り重なるように接触している。これをダイレクトコンタクト構造と以後呼ぶことにする。ダイレクトコンタクト構造の利点は、配線の上に形成した層間膜に開口部を設け、透明電極を積層し、配線の表面とコンタクトをとった場合と比較し、アクリルを積層し、開口部を設ける工程を省略できることにある。ところが、この配線材料及び、透明電極材料によっては、電蝕といわれる現象がおきる場合がある。電蝕は、複数種の異なる素材の電極を電解液に浸したとき、イオン化傾向の違いで、浸した電極が電解液に溶け出すことをいう。アルミニウム(Al)膜と透明電極膜を積層し、パターンニング、エッチングする工程中現像液に浸されるが、このときの光学顕微鏡写真を図22に示す。図22の右半分が四角い画素が見えるが、ここで白い部分が電蝕である。これは微細加工した際、形状の変化による導通不良の原因となる。

【0008】本願発明はこの問題点を解決するための技術であり、TFTを用いて作製するアクティブマトリクス型の液晶表示装置に代表される電気光学装置ならびに半導体装置において、TFTの構造及び材料を適切なものとするにより、歩留まりの向上を実現することを目的としている。

【0009】

【課題を解決するための手段】本願発明は、前記電蝕の発生を防止するための、配線材料の構造を決め、またその作製方法を検討したものである。すなわち前記構造において、配線材料については耐熱性金属からなる薄膜層と、その上に形成されたアルミニウムもしくはアルミニウムを主成分とする薄膜(以下、Alとも書く)と、その上に形成された耐熱性金属からなる薄膜層と、から成り、また透明電極材料に金属酸化物を使用することを一つの特徴とする。前記耐熱性金属は、TiやTiN、Cr、Mo、W、TiWが知られている。前記金属酸化物はITOが主として知られており、他GZO、AZO、あるいはインジウム酸化物中に適当な不純物が固溶したのがあり、これらも用いることができるが、以下これらの金属酸化物を代表してITOと書く。

【0010】より適当な条件としては、配線材料については50～150nmの厚さのTi膜を形成し、その上に

重ねて窒化チタン(TiN)膜を50～150nmの厚さで形成し、その上に重ねてAl膜を300～400nmの厚さで形成し、さらにTi膜または窒化チタン(TiN)膜を100～200nmの厚さで形成して積層構造とし、また透明電極材料にITOを用いることが望ましい。ここで使用するTi及びTiN膜厚は、バリアメタルの実用における経験より決め、Alは平坦性と抵抗値の兼ね合いより決めている。

【0011】前記の一例として作製された配線積層構造(以下、配線とも書く)と透明電極材料の境界部分を図20(b)に示す。配線は下の層より、Ti膜、窒化チタン(TiN)膜、Al膜、Ti膜の順に形成され、透明電極材料にはITO膜が形成されている。ただし、Alは、Siが2%固溶したターゲットでスパッタ成膜をしており、膜中にもSiを含んでいる。この構造が形成された基板の光学顕微鏡写真を図23に示す。図23はパターンが明瞭であり、電蝕が起きていない。この構造で、コンタクトサイズが半径10μmで、このコンタクトを100個連ねてチェーン状にした回路を製作したとき、前記回路の両端の電気抵抗は、4.88～9.00×10<sup>4</sup>Ωであった。Alの膜厚を変えることで抵抗値の改善が期待できるが、この値で実用として十分と考えられる。すなわち外観、電気特性ともに良好であることが示される。

【0012】この電蝕の起こらない理由を見出すため、前記構造のTEM観察を行った。これを図21に示す。但しTEMの手法上、図21ではITO膜の上より樹脂が形成されている。図21中の211、212、213、214はAl\ITO接触部分、215はTi\ITO接触部分、216はTi\TiN界面付近、217はTiN\ITO接触部分、218はTi\ITO接触部分である。2101はAl膜中、2102はITO膜中、2103は最上層Ti膜中、2104はTiN膜中、2105は最下層Ti膜中に位置する。Al\ITOの界面に関して、図21中の211～218におけるEDX測定結果を、それぞれ図24～図32に示す。Aはスペクトル全体図、BはAの一部拡大図である。また、2101～2105のEDX測定結果を、それぞれ図31～図36に示す。Aはスペクトル全体図、BはAの一部拡大図である。

【0013】TEM写真でAl\ITOの界面に白濁のようなものが見られ、変質層が出来ていることがわかる。図24～図28では、明らかにOのピークが現れており、変質層が酸化膜であることを示している。また、前記Al\ITOの界面にはClが検出されている。これは配線形成のためドライエッチングにClプラズマを使用し、これが膜中に残ったものと考えられる。

【0014】図24～図27中に示した各ポイントにおけるEDX測定結果を原子濃度比で表した結果を表1に示す。

【0015】

【表1】

表1 図21中に示したポイントのうち数点におけるEDX測定結果を原子濃度比で表した結果。

分析部位	O(atom%)	Al(atom%)	Si(atom%)	In(atom%)
211	28.8	65.3	4.2	1.7
212	7.1	91.2	1.4	0.4
213	26.6	65.2	6.2	1.9
214	8.8	73.4	16.3	1.6
2101	1	97.7	1.3	0.1
2102	40.2	3.5	3.7	52.6

【0016】表1において、211～4 (Al\ITO境界)での酸素濃度に注目すると、2101 (Al層)における濃度より高いことが分かる。測定スポットが小さいため、濃度に偏りが見られるが、211、213より、酸素濃度が25%以上の部分があると判断できる。2102 (ITO層)では、In濃度が50%、酸素濃度が40%程度ある。すなわち約5:4で固溶しているとみなされる。

【0017】これに対し211～214でも、Al\ITO境界に凹凸があるためITOの情報を拾い、Inの濃度が出ているが、In濃度は2%以下であり、前記酸素濃度はITOの情報のみからは得られない大きさであることが分かる。酸化層ができる理由としては、Alの耐酸化性が低いこと他に、ITOスパッタ成膜時に酸素を流すことから、酸素プラズマと反応しやすいことが考えられる。また、配線エッチング後に、レジスト除去等の目的でO<sub>2</sub>アッシング、すなわち酸素プラズマを用いた処理を行えば、やはり酸化層を形成することが予想される。

【0018】一方、TEMの写真から、Ti\ITO界面には、Al\ITO界面ほど明確な酸化層はできていない。図29のTi\ITO接触部分、図30のTi\Tin界面付近、図31のTin\ITOの接触部分はOのピークが現れているが、同時にInのピークもかなり強く現れるため、このOはITOからのものといえる。

【0019】以上より、Al断面とITOの界面に酸化層が形成されるが、TiあるいはTinとITOの界面には酸化層が形成されにくいと、接触抵抗が低いと考えられる。前記配線\ITO構造における利点として、Al\ITO界面の面積の小ささに起因した、電触の起きにくさが挙げられる。表1の214によると、Inの濃度は1.6atomic%と、211同様Al\ITO界面を測定出来ていることがわかるが、酸素濃度は211に比べ低い。

【0020】酸素濃度の高い部分はアルミナであり、Alより価電子の移動はしにくく、電触は起きにくいと考えられる。ところが、Al\ITO界面の面積が広がるにつれ、酸素濃度の小さいAl\ITO界面の広い個所ができやすくなり、そこから電触が発生すると考えられ

る。それゆえ前記AlとITOを積層した基板は、Al\ITO界面があまりに広いため、電触が起きたと考えられる。

【0021】電触を防止する目的で、Al\ITO境界の酸化層が充分形成できない場合、配線エッチング後に酸素プラズマを用いた処理を行い、Al端部を酸化しITO形成することで酸化層をつくること出来る。

【0022】また、配線をプラズマでエッチングする際、エッチングガスにClを使用する場合があるが、エッチング終了後にAl端部にClが吸着しているとAlの腐食が進むためCF<sub>4</sub>プラズマで処理することがある。このとき、Al端部を酸化させる目的で、O<sub>2</sub>を添加させる手段も効果がある。

【0023】また、ITO形成時、成膜チャンバーにO<sub>2</sub>を流す反応性スパッタ成膜を行う方法が有効である。普通、スパッタ成膜を行う前には、ターゲットと基板の間にシャッターを設けプラズマを発生させる、プレスパッタを行う事が多い。このプレスパッタ時間を長めにすると、あるいはプレスパッタの段階のみO<sub>2</sub>流量を大きくすることでAl端部に酸化膜を酸化する方法もある。

【0024】あるいは、配線にヒロックが出ない温度領域において、酸素が含まれる雰囲気中で、Alに熱酸化膜を形成する方法も考えられる。前記TEM写真の構造において、大気中では、400℃において4hrs加熱しても、ヒロックは出ないことが確認されている。このような手段で前記配線\ITO構造を形成すれば、配線にAlを使用し抵抗を下げつつ、Al\ITO界面の小面積の絶縁層で電触を防止し、Ti (Tin)\ITOで電氣的接触を取ることができる。

【0025】このような手段を用い、本発明の構成は、画素部に設けた画素TFETと、該画素部の周辺に駆動回路を同一の基板上に設けた半導体装置において、前記画素部に設けた画素電極は光透過性を有し、層間絶縁膜上に形成され、少なくとも、前記画素TFETのゲート電極の上方に設けた層間絶縁膜に設けられた開孔を介して形成された、前記画素TFETに接続する導電性金属配線と接続し、前記導電性金属配線は、耐熱性金属からなる薄膜層と、その上に形成されたアルミニウムもしくはアルミニウムを主成分とする薄膜と、その上に形成された耐熱性金属からなる薄膜層と、から成り、また透明電極材料に金属酸化物を用い、前記アルミニウムもしくはアルミニウムを主成分とする膜と、前記金属酸化物との境界に、アルミニウム濃度が70atomic%以下であり、酸素濃度が25atomic%以上である領域が形成されていることを特徴としている。

【0026】また、他の発明の構成は、一對の基板間に液晶を挟持した半導体装置であって、画素部に設けた画素TFETと、該画素部の周辺に駆動回路とを有する一方の基板において、前記画素部に設けた画素電極は光透過性を有し、層間絶縁膜上に形成され、少なくとも、前記



画素TFTのゲート電極の上方に設けた層間絶縁膜に設けられた開孔を介して形成された、前記画素TFTに接続する導電性金属配線と接続して、前記導電性金属配線は、耐熱性金属からなる薄膜層と、その上に形成されたアルミニウムもしくはアルミニウムを主成分とする薄膜と、その上に形成された耐熱性金属からなる薄膜層と、から成り、また透明電極材料に金属酸化物を用い、前記アルミニウムもしくはアルミニウムを主成分とする膜と、前記金属酸化物との境界に、アルミニウム濃度が70atomic%以下であり、酸素濃度が25atomic%以上である領域が形成されており、透明導電膜が形成された他方の基板と、前記第2の層間絶縁膜とに設けられた開孔に重ねて形成された少なくとも一つの柱状スペーサを介して貼合されていることを特徴としている。

【0027】本発明の半導体装置の作製方法に関する構成は、画素部に設けた画素TFTと、該画素部の周辺に駆動回路を同一の基板上に設けた半導体装置において、前記駆動回路のTFTと前記画素TFTとの上方に、層間絶縁膜を形成する第1の工程と、前記画素TFTに接続する導電性金属配線を形成する第2の工程と、前記導電性金属配線と接続する、光透過性を有する画素電極を、前記層間絶縁膜上に形成する第3の工程を有し、第2と第3の工程の間には、配線エッチング後に酸素プラズマを用いた処理を行い、あるいは配線をプラズマでエッチングする際、終了処理として $O_2$ を添加する、あるいは金属酸化物から成る透明導電膜形成時、成膜チャンパー内において基板を酸素プラズマ雰囲気中に曝す、あるいはスパッタ成膜による前記金属酸化物から成る透明導電膜形成時、プレスバットの段階のみ $O_2$ 流量を大きくし基板を酸素プラズマ雰囲気中に曝す、あるいは配線にヒロックが出ない温度領域において、酸素雰囲気中で、A1に熱酸化膜を形成する方法を用いてA1端部を酸化することを特徴としている。

【0028】また、他の発明の構成は、一対の基板間に液晶を挟持した半導体装置の作製方法において、画素部に設けた画素TFTと、該画素部の周辺に設けた駆動回路とを一方の基板は、前記駆動回路のTFTと前記画素TFTとの上方に、層間絶縁膜を形成する第1の工程と、前記層間絶縁膜とに設けられた開孔を介して前記画素TFTに接続する導電性金属配線を形成する第2の工程と、前記層間絶縁膜上に該金属配線に接続する透明導電膜から成る画素電極を形成する第3の工程と、他方の基板は少なくとも透明導電膜を形成する第4の工程と、前記開孔に重ねて形成された少なくとも一つの柱状スペーサを介して、前記一方の基板と前記他方の基板を貼合わせる第5の工程とを有し、第2と第3の工程の間には、配線エッチング後に酸素プラズマを用いた処理を行い、あるいは配線をプラズマでエッチングする際、終了処理として $O_2$ を添加する、あるいは金属酸化物からなる透明導電膜形成時、成膜チャンパー内において基板を

酸素プラズマ雰囲気中に曝す、あるいはスパッタ成膜による前記金属酸化物からなる透明導電膜形成時、プレスバットの段階のみ $O_2$ 流量を大きくし基板を酸素プラズマ雰囲気中に曝す、あるいは配線にヒロックが出ない温度領域において、酸素雰囲気中で、A1に熱酸化膜を形成する方法を用いてA1端部を酸化することを特徴としている。

【0029】

【発明の実施の形態】本発明の実施の形態について、以下に示す実施例により詳細な説明を行う。

【0030】[実施例1]本発明の実施例を、図1～図4を用いて説明する。ここでは、画素部の画素TFTおよび保持容量と、画素部の周辺に設けられる駆動回路のTFTを同時に作製する方法について工程に従って詳細に説明する。

【0031】図1(A)において、基板101にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板の他に、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルホン(PES)など光学的異方性を有しないプラスチック基板を用いることができる。ガラス基板を用いる場合には、ガラス歪み点よりも10～20℃程度低い温度であらかじめ熱処理しておいても良い。そして、基板101のTFTを形成する表面に、基板101からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜102を形成する。例えば、プラズマCVD法で $SiH_4$ 、 $NH_3$ 、 $N_2O$ から作製される酸化窒化シリコン膜102aを10～200nm(好ましくは50～100nm)、同様に $SiH_4$ 、 $N_2O$ から作製される酸化窒化水素化シリコン膜102bを50～200nm(好ましくは100～150nm)の厚さに積層形成する。ここでは下地膜102を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させて形成しても良い。

【0032】酸化窒化シリコン膜は従来の平行平板型のプラズマCVD法を用いて形成する。酸化窒化シリコン膜102aは、 $SiH_4$ を10SCCM、 $NH_3$ を100SCCM、 $N_2O$ を20SCCMとして反応室に導入し、基板温度325℃、反応圧力40Pa、放電電力密度0.41W/cm<sup>2</sup>、放電周波数60MHzとした。一方、酸化窒化水素化シリコン膜102bは、 $SiH_4$ を5SCCM、 $N_2O$ を120SCCM、 $H_2$ を125SCCMとして反応室に導入し、基板温度400℃、反応圧力20Pa、放電電力密度0.41W/cm<sup>2</sup>、放電周波数60MHzとした。これらの膜は、基板温度を変化させ、反応ガスの切り替えのみで連続して形成することもできる。

【0033】このようにして作製した酸化窒化シリコン膜102aは、密度が $9.28 \times 10^{21}/\text{cm}^3$ であり、フ



ッ化水素アンモニウム ( $\text{NH}_4\text{HF}_2$ ) を 7.13% とフッ化アンモニウム ( $\text{NH}_4\text{F}$ ) を 15.4% 含む混合溶液 (ステラケミファ社製、商品名 LAL500) の 20℃ におけるエッチング速度が約 63nm/min と遅く、緻密で硬い膜である。このような膜を下地膜に用いると、この上に形成する半導体層にガラス基板からのアルカリ金属元素が拡散するのを防ぐのに有効である。

【0034】次に、25~80nm (好ましくは 30~60nm) の厚さで非晶質構造を有する半導体層 103a を、プラズマ CVD 法やスパッタ法などの公知の方法で形成する。例えば、プラズマ CVD 法で非晶質シリコン膜を 55nm の厚さに形成する。非晶質構造を有する半導体膜には、非晶質半導体層や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜 102 と非晶質半導体層 103a とは両者を連続形成することも可能である。例えば、前述のように酸化窒化シリコン膜 102a と酸化窒化水素化シリコン膜 102b をプラズマ CVD 法で連続して成膜後、反応ガスを  $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{H}_2$  から  $\text{SiH}_4$  と  $\text{H}_2$ 、或いは  $\text{SiH}_4$  のみに切り替えれば、一旦大気雰囲気中に晒すことなく連続形成できる。その結果、酸化窒化水素化シリコン膜 102b の表面の汚染を防ぐことが可能となり、作製する TFT の特性バラツキやしきい値電圧の変動を低減させることができる。

【0035】そして、結晶化の工程を行い非晶質半導体層 103a から結晶質半導体層 103b を作製する。その方法としてレーザーアニール法や熱アニール法 (固相成長法)、またはラビットサーマルアニール法 (RTA 法) を適用することができる。前述のようなガラス基板や耐熱性の劣るプラスチック基板を用いる場合には、特にレーザーアニール法を適用することが好ましい。RTA 法では、赤外線ランプ、ハロゲンランプ、メタルハライドランプ、キセノンランプなどを光源に用いる。或いは特開平 7-130652 号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質半導体層 103b を形成することもできる。結晶化の工程ではまず、非晶質半導体層が含有する水素を放出させておくことが好ましく、400~500℃ で 1 時間程度の熱処理を行い含有する水素量を 5atome% 以下にしてから結晶化させると膜表面の荒れを防ぐことができるので良い。

【0036】また、プラズマ CVD 法で非晶質シリコン膜の形成工程において、反応ガスに  $\text{SiH}_4$  とアルゴン (Ar) を用い、成膜時の基板温度を 400~450℃ として形成すると、非晶質シリコン膜の含有水素濃度を 5atome% 以下にすることもできる。このような場合において水素を放出させるための熱処理は不要となる。

【0037】結晶化をレーザーアニール法にて行う場合には、パルス発振型または連続発光型のエキシマレーザーやアルゴンレーザーをその光源とする。パルス発振型

のエキシマレーザーを用いる場合には、レーザー光を線状に加工してレーザーアニールを行う。レーザーアニール条件は実施者が適宜選択するものであるが、例えば、レーザーパルス発振周波数 30Hz とし、レーザーエネルギー密度を 100~500mJ/cm<sup>2</sup> (代表的には 300~400mJ/cm<sup>2</sup>) とする。そして線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率 (オーバーラップ率) を 80~98% として行う。このようにして図 1 (B) に示すように結晶質半導体層 103b を得ることができる。

【0038】そして、結晶質半導体層 103b 上に第 1 のフォトリソグラフィ (PM1) を用い、フォトリソグラフィの技術を用いてレジストパターンを形成し、ドライエッチングによって結晶質半導体層を島状に分割し、図 1 (C) に示すように島状半導体層 104~108 を形成する。結晶質シリコン膜のドライエッチングには  $\text{CF}_4$  と  $\text{O}_2$  の混合ガスを用いる。

【0039】このような島状半導体層に対し、TFT のしきい値電圧 ( $V_{th}$ ) を制御する目的で p 型を付与する不純物元素を  $1 \times 10^{16} \sim 5 \times 10^{17}$  atomic/cm<sup>2</sup> 程度の濃度で島状半導体層の全面に添加しても良い。半導体に対して p 型を付与する不純物元素には、ホウ素

(B)、アルミニウム (Al)、ガリウム (Ga) など周期律表第 13 族の元素が知られている。その方法として、イオン注入法やイオンドープ法 (或いはイオンシャワードーピング法) を用いることができるが、大面積基板を処理するにはイオンドープ法が適している。イオンドープ法ではジボラン ( $\text{B}_2\text{H}_6$ ) をソースガスとして用いホウ素 (B) を添加する。このような不純物元素の注入は必ずしも必要でなく省略しても差し支えないが、特に n チャネル型 TFT のしきい値電圧を所定の範囲内に収めるために好適に用いる手法である。

【0040】ゲート絶縁膜 109 はプラズマ CVD 法またはスパッタ法を用い、膜厚を 40~150nm としてシリコンを含む絶縁膜で形成する。本実施例では、120nm の厚さで酸化窒化シリコン膜から形成する。また、 $\text{SiH}_4$  と  $\text{N}_2\text{O}$  に  $\text{O}_2$  を添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているのでこの用途に対して好ましい材料となる。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマ CVD 法で、オルトケイ酸テトラエチル (Tetraethyl Ortho-silicate: TEOS) と  $\text{O}_2$  とを混合し、反応圧力 40Pa、基板温度 300~400℃ とし、高周波 (13.56MHz) 電力密度 0.5~0.8W/cm<sup>2</sup> で放電させて形成することができる。このようにして作製された酸化シリコン膜は、その後 400~500℃ の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0041】そして、図1(D)に示す様に、ゲート絶縁膜109上にゲート電極を形成するための第1の導電膜110と第2の導電膜111とを形成する。本実施例では、第1の導電膜110をTaで50~100nmの厚さに形成し、第2の導電膜をWで100~300nmの厚さに形成する。

【0042】Ta膜はスパッタ法で形成し、TaのターゲットをArでスパッタする。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することができる。また、 $\alpha$ 相のTa膜の抵抗率は $20\mu\Omega\text{cm}$ 程度でありゲート電極に使用することができるが、 $\beta$ 相のTa膜の抵抗率は $180\mu\Omega\text{cm}$ 程度でありゲート電極とするには不向きである。 $\alpha$ 相のTa膜を形成するために、Taの $\alpha$ 相に近い結晶構造をもつ窒化タンタルを10~50nm程度の厚さでTaの下地に形成しておくことと $\alpha$ 相のTa膜を容易に得ることができる。

【0043】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF<sub>6</sub>)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は $20\mu\Omega\text{cm}$ 以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~ $20\mu\Omega\text{cm}$ を実現することができる。

【0044】次に図6(B)に示すように、レジストによるマスク112~117を形成し、ゲート電極を形成するための第1のエッチング処理を行う。エッチング方法に限定はないが、好適にはICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>を混合し、0.5~2Pa、好ましくは1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub>とCl<sub>2</sub>を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0045】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は15~45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4(代表的には

3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50nm程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層118~123(第1の導電層118a~123aと第2の導電層118b~123b)を形成する。130はゲート絶縁膜であり、第1の形状の導電層118~123で覆われない領域は20~50nm程度エッチングされ薄くなった領域が形成される。

【0046】そして、第1のドーピング処理を行いn型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1\times 10^{11}\sim 5\times 10^{11}\text{atoms/cm}^2$ とし、加速電圧を60~100keVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層118~123がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域124~129が形成される。第1の不純物領域124~129には $1\times 10^{19}\sim 1\times 10^{21}\text{atomic/cm}^3$ の濃度範囲でn型を付与する不純物元素を添加する。

【0047】次に図6(C)に示すように第2のエッチング処理を行う。同様にICPエッチング法を用い、エッチングガスにCF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>を混合して、1Paの圧力でコイル型の電極に500WのRF電力(13.56MHz)を供給し、プラズマを生成して行う。基板側(試料ステージ)には50WのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりW膜を異方性エッチングし、かつ、それより遅いエッチング速度で第1の導電層であるTaを異方性エッチングして第2の形状の導電層1118~1123(第1の導電層1118a~1123aと第2の導電層1118b~1123b)を形成する。1130はゲート絶縁膜であり、第2の形状の導電層1118~1123で覆われない領域はさらに20~50nm程度エッチングされ薄くなった領域が形成される。

【0048】W膜やTa膜のCF<sub>4</sub>とCl<sub>2</sub>の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF<sub>6</sub>が極端に高く、その他のWCl<sub>4</sub>、TaF<sub>5</sub>、TaCl<sub>5</sub>は同程度である。従って、CF<sub>4</sub>とCl<sub>2</sub>の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量のO<sub>2</sub>を添加するとCF<sub>4</sub>とO<sub>2</sub>が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増

加は少ない。また、TaはWに比較して酸化されやすいので、 $O_2$ を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0049】そして、図7(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーパ量を下げ高加速電圧の条件でn型を付与する不純物元素をドーピングする。例えば、加速電圧を70~120keVとし、 $1 \times 10^{11}/\text{cm}^2$ のドーパ量で行い、図6(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層1118~1123を不純物元素に対するマスクとして用い、第2の導電層1118a~1123aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第2の導電層1118a~1123aと重なる第3の不純物領域131~136と、第1の不純物領域と第3の不純物領域との間の第2の不純物領域1131~1136とを形成する。n型を付与する不純物元素は、第2の不純物領域で $1 \times 10^{11} \sim 1 \times 10^{14} \text{ atoms}/\text{cm}^2$ の濃度となるようにし、第3の不純物領域で $1 \times 10^{14} \sim 1 \times 10^{17} \text{ atoms}/\text{cm}^2$ の濃度となるようにする。このように、第2の不純物領域と、第3の不純物領域と、を併せてLDD領域と呼ぶ。これはボロンを不純物とするP型の場合も同様である。

【0050】そして、pチャネル型TFTを形成する島状半導体層104、106にソース領域およびドレイン領域とする高濃度p型不純物領域140、141を形成する。ここでは、ゲート電極1118a、1123aをマスクとしてp型を付与する不純物元素を添加し、自己整合的に高濃度p型不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層105、107、108は、第3のフォトリソマスク(PM3)を用いてレジストマスク137~139を形成し全面を被覆しておく。ここで形成される不純物領域140、141はジボラン( $B_2H_6$ )を用いたイオンドーピング法で形成する。そして、ゲート電極と重ならない高濃度p型不純物領域140a、141aのボロン(B)濃度は、 $3 \times 10^{14} \sim 3 \times 10^{17} \text{ atomic}/\text{cm}^2$ となるようにする。また、第一のゲート電極と重なる不純物領域140b、141bは、ゲート絶縁膜と第一のゲート電極を介して不純物元素が添加されるので、実質的に低濃度p型不純物領域として形成され、少なくとも $1.5 \times 10^{11} \text{ atomic}/\text{cm}^2$ 以上の濃度とする。この高濃度p型不純物領域140a、141aおよび低濃度p型不純物領域140b、141bには、前工程においてリン(P)が添加されていて、高濃度p型不純物領域140a、141aには $1 \times$

$10^{14} \sim 1 \times 10^{17} \text{ atomic}/\text{cm}^2$ の濃度で、低濃度p型不純物領域140b、141bには $1 \times 10^{14} \sim 1 \times 10^{17} \text{ atomic}/\text{cm}^2$ の濃度で含有しているが、この工程で添加するボロン(B)の濃度をリン(P)濃度の1.5から3倍となるようにすることにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じなかった。

【0051】その後、図4(A)に示すように、ゲート電極およびゲート絶縁膜上から第1の層間絶縁膜142を形成する。第1の層間絶縁膜は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても第1の層間絶縁膜142は無機絶縁物材料から形成する。第1の層間絶縁膜142の膜厚は100~200nmとする。ここで、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOSと $O_2$ とを混合し、反応圧力40Pa、基板温度300~400℃とし、高周波(13.56MHz)電力密度0.5~0.8W/cm<sup>2</sup>で放電させて形成することができる。また、酸化窒化シリコン膜を用いる場合には、プラズマCVD法で $SiH_4$ 、 $N_2O$ 、 $NH_3$ から作製される酸化窒化シリコン膜、または $SiH_4$ 、 $N_2O$ から作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力20~200Pa、基板温度300~400℃とし、高周波(60MHz)電力密度0.1~1.0W/cm<sup>2</sup>で形成することができる。また、 $SiH_4$ 、 $N_2O$ 、 $H_2$ から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマCVD法で $SiH_4$ 、 $NH_3$ から作製することが可能である。

【0052】その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化する工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラビッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~700℃、代表的には500~600℃で行うものであり、本実施例では550℃で4時間の熱処理を行った。また、基板101に耐熱温度が低いプラスチック基板を用いる場合にはレーザーアニール法を適用することが好ましい(図4(B))。

【0053】活性化の工程に続いて、雰囲気ガスを変化させ、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により島状半導体層にある $10^{14} \sim 10^{17}/\text{cm}^2$ のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。いずれにしても、島状半導体層104~108中の欠陥密度を $10^{14}/\text{cm}^2$ 以

下とすることが望ましく、そのために水素を 0.01 ~ 0.1 atomic% 程度付与すれば良かった。

【0054】活性化および水素化の工程が終了したら、有機絶縁物材料からなる第2の層間絶縁膜143を1.0 ~ 2.0  $\mu\text{m}$ の平均厚を有して形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンで300℃で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで80℃で60秒の予備加熱を行い、さらにクリーンオープンで250℃で60分焼成して形成することができる。

【0055】このように、第2の層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減することができる。しかし、吸湿性があり保護膜としては適さないもので、本実施例のように、第1の層間絶縁膜142として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせて用いると良い。

【0056】その後、第4のフォトマスク（PM4）を用い、所定のパターンのレジストマスクを形成し、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。コンタクトホールの形成はドライエッチング法により行う。この場合、エッチングガスに $\text{CF}_4$ 、 $\text{O}_2$ 、 $\text{He}$ の混合ガスを用い有機樹脂材料から成る第2の層間絶縁膜143をまずエッチングし、その後、続いてエッチングガスを $\text{CF}_4$ 、 $\text{O}_2$ として第1の層間絶縁膜142をエッチングする。さらに、島状半導体層との選択比を高めるために、エッチングガスを $\text{CHF}_3$ に切り替えてゲート絶縁膜130をエッチングすることにより、良好にコンタクトホールを形成することができる。

【0057】そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し第5のフォトマスクでレジストマスクパターンを形成しエッチングによって、ソース配線とドレイン配線を形成する。ドレイン配線256を例としてこの構成を図6（B）で詳細に説明すると、Ti膜256aを50 ~ 150 nmの厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成する。そのTi膜256a上に重ねてAl膜256bを300 ~ 400 nmの厚さで形成し、さらにTi膜256cまたは窒化チタン（TiN）膜を100 ~ 200 nmの厚さで形成して3層またはTiとTiNを組み合わせて、3層以上の層を有する構造とする。その後、第5のフォトマスクによりレジストマスクパターンを形成し、エッチングによってソース配線とドレイン配線2

56を形成する。このとき、課題を解決する手段で記したように、酸素プラズマを用いた処理、熱酸化処理を行い、Al層の端部に酸化膜258を形成する。その後、透明導電膜を全面に形成し、第6のフォトマスクを用いたパターニング処理およびエッチング処理により画素電極257を形成する。画素電極257は、有機樹脂材料から成る第2の層間絶縁膜上に形成され、画素TFT204のドレイン配線256と重なる部分を設け電気的な接続を形成している。透明導電膜の材料は、酸化インジウム（ $\text{In}_2\text{O}_3$ ）や酸化インジウム酸化スズ合金（ $\text{In}_2\text{O}_3-\text{SnO}_2$ ；ITO）などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。

【0058】こうして6枚のフォトマスクにより、同一の基板上に、駆動回路のTFTと画素部の画素TFTとを有した基板を完成させることができる。駆動回路には第1のpチャネル型TFT（A）200a、第1のnチャネル型TFT（A）201a、第2のpチャネル型TFT（A）202a、第2のnチャネル型TFT（A）203a、画素部には画素TFT204、保持容量205が形成されている。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0059】駆動回路の第1のpチャネル型TFT（A）200aには、島状半導体層104にチャネル形成領域206、LDD領域207、高濃度p型不純物領域から成るソース領域208、ドレイン領域209を有した構造となっている。第1のnチャネル型TFT（A）201aには、島状半導体層105にチャネル形成領域210、低濃度n型不純物領域で形成されゲート電極119と重なるLDD領域211、高濃度n型不純物領域で形成するソース領域212、ドレイン領域213を有している。チャネル長3 ~ 7  $\mu\text{m}$ に対して、ゲート電極119と重なるLDD領域を $L_{ov}$ としてそのチャネル長方向の長さは0.1 ~ 1.5  $\mu\text{m}$ 、好ましくは0.3 ~ 0.8  $\mu\text{m}$ とする。この $L_{ov}$ の長さはゲート電極119の厚さとテーパー部の角度 $\theta_1$ から制御する。

【0060】このLDD領域について図15を用いて説明する。図15（A）に示すのは、図4（C）の段階のTFTの一部であり、BはTFTの部分拡大図である。第一の不純物領域1901は第二の形状の第二のゲート電極1902のテーパー部に形成され、第二の不純物領域1903は、第二の形状の第一のゲート電極1904のテーパー部の下に形成される。このとき、LDD領域におけるリン（P）の濃度分布は1905の曲線で示されるようにチャネル形成領域1906から遠ざかるにつれて増加する。この増加の割合は、イオンドープにおける加速電圧やドーズ量などの条件、第二のゲート電極のテーパー部の角度 $\theta_1$ 及び長さ1907、及び第一のゲート電極のテーパー部の角度 $\theta_2$ 及び長さ1908によって異なってくる。このように、ゲート電極の端部をテ

一バー形状として、そのテーパー部を通して不純物元素を添加することにより、テーパー部の下に存在する半導体層中に、徐々に前記不純物元素の濃度が増加するような不純物領域を形成することができる。nチャネル型TFTにおいてこのようなLDD領域を形成することにより、ドレイン領域近傍に発生する高電界を緩和して、ホットキャリアの発生を防ぎ、TFTの劣化を防止することができる。この形成方法は、pチャネル型TFTにおいても同様である。

【0061】図4(C)では、駆動回路のnチャネル型TFTおよびpチャネル型TFTを一对のソース・ドレイン間に一つのゲート電極を設けたシングルゲートの構造とし、画素TFTをダブルゲート構造としたが、これらのTFTはいずれもシングルゲート構造としても良いし、複数のゲート電極を一对のソース・ドレイン間に設けたマルチゲート構造としても差し支えない。

【0062】図7は画素部のほぼ一画素分を示す上面図である。図中に示すA-A'断面が図4(C)に示す画素部の断面図に対応している。画素TFT204は、ゲート電極122は図示されていないゲート絶縁膜を介してその下の島状半導体層108と交差し、さらに複数の島状半導体層に跨って延在してゲート配線を兼ねている。図示はしていないが、島状半導体層には、図4

(C)で説明したソース領域、ドレイン領域、LDD領域が形成されている。また、230はソース配線148とソース領域225とのコンタクト部、231はドレイン配線153とドレイン領域227とのコンタクト部である。保持容量205は、画素TFT204のドレイン領域227から延在する半導体層228、229とゲート絶縁膜を介して容量配線123が重なる領域で形成されている。この構成において半導体層228には、価電子制御を目的とした不純物元素は添加されていない。

【0063】以上の様な構成は、画素TFTおよび駆動回路が要求する仕様に依じて各回路を構成するTFTの構造を最適化し、半導体装置の動作性能と信頼性を向上させることを可能としている。さらにゲート電極を、耐熱性を有する導電性材料で形成することによりLDD領域やソース領域およびドレイン領域の活性化を容易としている。

【0064】さらに、ゲート電極にゲート絶縁膜を介して重なるLDD領域を形成する際に、導電性を制御する目的で添加した不純物元素に濃度勾配を持たせてLDD領域を形成することで、特にドレイン領域近傍における電界緩和効果が高まることが期待できる。

【0065】アクティブマトリクス型の液晶表示装置の場合、第1のpチャネル型TFT(A)200aと第1のnチャネル型TFT(A)201aは高速動作を重視するシフトレジスタ回路、バッファ回路、レベルシフト回路などを形成するのに用いる。図4(C)ではこれらの回路をロジック回路部として表している。第1のnチャネル型TFT(A)201aのLDD領域211は

ホットキャリア対策を重視した構造となっている。さらに、耐圧を高め動作を安定化させるために、図5(A)で示すようにこのロジック回路部のTFTを第1のpチャネル型TFT(B)200bと第1のnチャネル型TFT(B)201bで形成しても良い。このTFTは、一对のソース・ドレイン間に2つのゲート電極を設けたダブルゲート構造であり、このようなTFTは本実施例の工程を用いて同様に作製できる。第1のpチャネル型TFT(B)200bには、島状半導体層にチャネル形成領域236a、236b、低濃度p型不純物領域から成りゲート電極118と重なるLDD領域237a、237b、高濃度p型不純物領域から成るソース領域238とドレイン領域239、240を有した構造となっている。第1のnチャネル型TFT(B)201bには、島状半導体層にチャネル形成領域241a、241b、低濃度n型不純物領域で形成されゲート電極119と重なるLDD領域242a、242b、高濃度n型不純物領域で形成するソース領域243とドレイン領域244、245を有している。チャネル長はいずれも3~7μmとして、ゲート電極と重なるLDD領域をLovとしてそのチャネル長方向の長さは0.1~1.5μm、好ましくは0.3~0.8μmとする。

【0066】また、アナログスイッチで構成するサンプリング回路には、同様な構成とした第2のpチャネル型TFT(A)202aと第2のnチャネル型TFT

(A)203aを適用することができる。サンプリング回路はホットキャリア対策と低オフ電流動作が重視されるので、図5(B)で示すようにこの回路のTFTを第2のpチャネル型TFT(B)202bと第2のnチャネル型TFT(B)203bで形成しても良い。この第2のpチャネル型TFT(B)202bは、一对のソース・ドレイン間に3つのゲート電極を設けたトリプルゲート構造であり、このようなTFTは本実施例の工程を用いて同様に作製できる。第2のpチャネル型TFT(B)202bには、島状半導体層にチャネル形成領域246a、246b、246c、低濃度p型不純物領域から成りゲート電極120と重なるLDD領域247a、247b、247c、高濃度p型不純物領域から成るソース領域249とドレイン領域250~252を有した構造となっている。第2のnチャネル型TFT

(B)203bには、島状半導体層にチャネル形成領域253a、253b、低濃度n型不純物領域で形成されゲート電極121と重なるLDD領域254a、254b、高濃度n型不純物領域で形成するソース領域255とドレイン領域256、257を有している。

【0067】このように、TFTのゲート電極の構成をシングルゲート構造とするか、複数のゲート電極を一对のソース・ドレイン間に設けたマルチゲート構造とするかは、回路の特性に応じて実施者が適宜選択すれば良

い。そして、本実施例で完成したアクティブマトリクス基板を用いることで透過型の液晶表示装置を作製することができる。

【0068】〔実施例2〕本発明におけるアクティブマトリクス基板の作製方法は、トップゲート型TFTのみに限定されるものでなく、逆スタガー構造のTFTに適用しても良い。図20は公知の技術を用いて逆スタガー構造のTFTを形成し、本発明の配線とITOを形成したものである。291の点線部分に示された配線とITOの接触部分を、図20(b)の様に本発明を適用することにより、電蝕を防ぐことができる。

【0069】〔実施例3〕本実施例では、実施例1～実施例2で示したアクティブマトリクス基板のTFTの活性層を形成する結晶質半導体層の他の作製方法について示す。結晶質半導体層は非晶質半導体層を熱アニール法やレーザーアニール法、またはRTA法などで結晶化させて形成するが、その他に特開平7-130652号公報で開示されている触媒元素を用いる結晶化法を適用することもできる。その場合の例を図8を用いて説明する。

【0070】図8(A)で示すように、実施例1と同様にして、ガラス基板1101上に下地膜1102a、1102b、非晶質構造を有する半導体層1103を25～80nmの厚さで形成する。非晶質半導体層は非晶質シリコン(a-Si)膜、非晶質シリコン・ゲルマニウム(a-SiGe)膜、非晶質炭化シリコン(a-SiC)膜、非晶質シリコン・スズ(a-SiSn)膜などが適用できる。これらの非晶質半導体層は水素を0.1～40atomic%程度含有するようにして形成すると良い。例えば、非晶質シリコン膜を55nmの厚さで形成する。そして、重量換算で10ppmの触媒元素を含む水溶液をスピナーで基板を回転させて塗布するスピコート法で触媒元素を含有する層1104を形成する。触媒元素にはニッケル(Ni)、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)などである。この触媒元素を含有する層1104は、スピコート法の他に印刷法やスプレー法、バーコーター法、或いはスパッタ法や真空蒸着法によって上記触媒元素の層を1～5nmの厚さに形成しても良い。

【0071】そして、図8(B)に示す結晶化の工程では、まず400～500℃で1時間程度の熱処理を行い、非晶質シリコン膜の含有水素量を5atomic%以下にする。非晶質シリコン膜の含有水素量が成膜後において最初からこの値である場合にはこの熱処理は必ずしも必要でない。そして、ファーネスアニール炉を用い、窒素雰囲気中で550～600℃で1～8時間の熱アニールを行う。以上の工程により結晶質シリコン膜から成る結晶質半導体層1105を得ることができる(図8

(C))。しかし、この熱アニールによって作製された

結晶質半導体層1105は、光学顕微鏡観察により巨視的に観察すると局所的に非晶質領域が残存していることが観察されることがあり、このような場合、同様にラマン分光法では480cm<sup>-1</sup>にブロードなピークを持つ非晶質成分が観測される。そのため、熱アニールの後に実施例1で説明したレーザーアニール法で結晶質半導体層1105を処理してその結晶性を高めることは有効な手段として適用できる。

【0072】図9は同様に触媒元素を用いる結晶化法の実施例であり、触媒元素を含有する層をスパッタ法により形成するものである。まず、実施例1と同様にして、ガラス基板1201上に下地膜1202a、1202b、非晶質構造を有する半導体層1203を25～80nmの厚さで形成する。そして、非晶質構造を有する半導体層1203の表面に0.5～5nm程度の酸化膜(図示せず)を形成する。このような厚さの酸化膜は、プラズマCVD法やスパッタ法などで積極的に該当する被膜を形成しても良いが、100～300℃に基板を加熱してプラズマ化した酸素雰囲気中に非晶質構造を有する半導体層1203の表面を晒しても良いし、過酸化水素水(H<sub>2</sub>O<sub>2</sub>)を含む溶液に非晶質構造を有する半導体層1203の表面を晒して形成しても良い。或いは、酸素を含む雰囲気中で紫外線光を照射してオゾンが発生させ、そのオゾン雰囲気中に非晶質構造を有する半導体層1203を晒すことによって形成できる。

【0073】このようにして表面に薄い酸化膜を有する非晶質構造を有する半導体層1203上に前記触媒元素を含有する層1204をスパッタ法で形成する。この層の厚さに限定はないが、10～100nm程度の厚さに形成すれば良い。例えば、Niをターゲットとして、Ni膜を形成することは有効な方法である。スパッタ法では、電界で加速された前記触媒元素から成る高エネルギー粒子の一部が基板側にも飛来し、非晶質構造を有する半導体層1203の表面近傍、または該半導体層表面に形成した酸化膜中に打ち込まれる。その割合はプラズマ生成条件や基板のバイアス状態によって異なるものであるが、好適には非晶質構造を有する半導体層1203の表面近傍や該酸化膜中に打ち込まれる触媒元素の量を1×10<sup>11</sup>～1×10<sup>14</sup>atom/cm<sup>2</sup>程度となるようにすると良い。

【0074】その後、触媒元素を含有する層1204を選択的に除去する。例えば、この層がNi膜で形成されている場合には、硝酸などの溶液で除去することが可能であり、または、フッ酸を含む水溶液で処理すればNi膜と非晶質構造を有する半導体層1203上に形成した酸化膜を同時に除去できる。いずれにしても、非晶質構造を有する半導体層1203の表面近傍の触媒元素の量を1×10<sup>11</sup>～1×10<sup>14</sup>atom/cm<sup>2</sup>程度となるようにしておく。そして、図9(B)で示すように、図8(B)と同様にして熱アニールによる結晶化の工程を行い、結



晶質半導体層 1205 を得ることができる (図 8 (C))。

【0075】図 8 または図 9 で作製された結晶質半導体層 1105、1205 から島状半導体層 104~108 を作製すれば、実施例 1 と同様にしてアクティブマトリクス基板を完成させることができる。しかし、結晶化の工程においてシリコンの結晶化を助長する触媒元素を使用した場合、島状半導体層中には微量 ( $1 \times 10^{11} \sim 1 \times 10^{12}$  atomic/cm<sup>2</sup> 程度) の触媒元素が残留する。勿論、そのような状態でも TFT を完成させることが可能であるが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン (P) によるゲッタリング作用を利用する手段がある。

【0076】この目的におけるリン (P) によるゲッタリング処理は、図 4 (B) で説明した活性化工程で同時に行うことができる。この様子を図 10 で説明する。ゲッタリングに必要なリン (P) の濃度は高濃度 n 型不純物領域の不純物濃度と同程度でよく、活性化工程の熱アニールにより、n チャネル型 TFT および p チャネル型 TFT のチャネル形成領域から触媒元素をその濃度でリン (P) を含有する不純物領域へ偏析させることができる (図 10 で示す矢印の方向)。その結果その不純物領域には  $1 \times 10^{11} \sim 1 \times 10^{12}$  atomic/cm<sup>2</sup> 程度の触媒元素が偏析した。このようにして作製した TFT はオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0077】【実施例 4】本実施例では実施例 1 で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。まず、図 11 (A) に示すように、図 4 (C) の状態のアクティブマトリクス基板に柱状スペーサから成るスペーサを形成する。スペーサは数  $\mu$ m の粒子を散布して設ける方法でも良いが、ここでは基板全面に樹脂膜を形成した後これをパターニングして形成する方法を採用した。このようなスペーサの材料に限定はないが、例えば、JSR 社製の NN700 を用い、スピナーで塗布した後、露光と現像処理によって所定のパターンに形成する。さらにクリーンオープンなどで 150~200℃で加熱して硬化させる。

【0078】スペーサの配置は任意に決定すれば良いが、好ましくは、図 11 (A) で示すように、画素部においてはドレイン配線 153 (画素電極) のコンタクト部 231 と重ねてその部分を覆うように柱状スペーサ 406 を形成すると良い。コンタクト部 231 は平坦性が損なわれこの部分では液晶がうまく配向しなくなるので、このようにしてコンタクト部 231 にスペーサ用の樹脂を充填する形で柱状スペーサ 406 を形成することでディスクリネーションなどを防止することができる。また、駆動回路の TFT 上にもスペーサ 405a~40

5e を形成しておく。このスペーサは駆動回路部の全面に渡って形成しても良いし、図 11 で示すようにソース配線およびドレイン配線を覆うようにして設けても良い。

【0079】その後、配向膜 407 を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂を用る。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。画素部に設けた柱状スペーサ 406 の端部からラビング方向に対してラビングされない領域が 2  $\mu$ m 以下となるようにした。また、ラビング処理では静電気の発生がしばしば問題となるが、駆動回路の TFT 上に形成したスペーサ 405a~405e により静電気から TFT を保護する効果を得ることができる。また図では説明しないが、配向膜 407 を先に形成してから、スペーサ 406、405a~405e を形成した構成としても良い。

【0080】対向側の対向基板 401 には、遮光膜 402、透明導電膜 403 および配向膜 404 を形成する。遮光膜 402 は Ti 膜、Cr 膜、Al 膜などを 150~300nm の厚さで形成する。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤 408 で貼り合わせる。シール剤 408 にはフィラー (図示せず) が混入されていて、このフィラーとスペーサ 406、405a~405e によって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 409 を注入する。液晶材料には公知の液晶材料を用いれば良い。例えば、TN 液晶の他に、電場に対して透過率が連続的に変化する電気光学応答性を示す、無しきい値反強誘電性混合液晶を用いることもできる。この無しきい値反強誘電性混合液晶には、V 字型の電気光学応答特性を示すものもある。このようにして図 11 (B) に示すアクティブマトリクス型液晶表示装置が完成する。

【0081】図 12 はこのようなアクティブマトリクス基板の上面図を示し、画素部および駆動回路部とスペーサおよびシール剤の位置関係を示す上面図である。実施例 1 で述べたガラス基板 101 上に画素部 604 の周辺に駆動回路として走査信号駆動回路 605 と画像信号駆動回路 606 が設けられている。さらに、その他 CPU やメモリなどの信号処理回路 607 も付加されている。そして、これらの駆動回路は接続配線 603 によって外部入出力端子 602 と接続されている。画素部 604 では走査信号駆動回路 605 から延在するゲート配線群 608 と画像信号駆動回路 606 から延在するソース配線群 609 がマトリクス状に交差して画素を形成し、各画素にはそれぞれ画素 TFT 204 と保持容量 205 が設けられている。

【0082】図 11 において画素部において設けた柱状スペーサ 406 は、すべての画素に対して設けても良いが、図 12 で示すようにマトリクス状に配列した画素の



数個から数十個おきに設けても良い。即ち、画素部を構成する画素の全数に対するスペースの数の割合は20～100%とすることが可能である。また、駆動回路部に設けるスペース405a～405eはその全面を覆うように設けても良いし各TFTのソースおよびドレイン配線の位置にあわせて設けても良い。図12では駆動回路部に設けるスペースの配置を610～612で示す。そして、図12で示すシール剤619は、基板101上の画素部604および走査信号駆動回路605、画像信号駆動回路606、その他の信号処理回路607の外側であって、外部入出力端子602よりも内側に形成する。

【0083】このようなアクティブマトリクス型液晶表示装置の構成を図13の斜視図を用いて説明する。図13においてアクティブマトリクス基板は、ガラス基板101上に形成された、画素部604と、走査信号駆動回路605と、画像信号駆動回路606とその他の信号処理回路607とで構成される。画素部604には画素TFT204と保持容量205が設けられ、画素部の周辺に設けられる駆動回路はCMOS回路を基本として構成されている。走査信号駆動回路605と画像信号駆動回路606からは、それぞれゲート配線122とソース配線148が画素部604に延在し、画素TFT204に接続している。また、フレキシブルプリント配線板(Flexible Printed Circuit: FPC)613が外部入出力端子602に接続していて画像信号などを入力するのに用いる。FPC613は補強樹脂614によって強固に接着されている。そして接続配線603でそれぞれの駆動回路に接続している。また、対向基板401には図示していない、遮光膜や透明電極が設けられている。

【0084】このような構成の液晶表示装置は、実施例1で示したアクティブマトリクス基板を用いて形成することができる。実施例1で示すアクティブマトリクス基板を用いると透過型の液晶表示装置を得ることができる。

【0085】[実施例5] 図14は実施例1～2で示したアクティブマトリクス基板の回路構成の一例であり、直視型の表示装置の回路構成を示す図である。このアクティブマトリクス基板は、画像信号駆動回路606、走査信号駆動回路(A)(B)605、画素部604を有している。尚、本明細書中において記した駆動回路とは、画像信号駆動回路606、走査信号駆動回路605を含めた総称である。

【0086】画像信号駆動回路606は、シフトレジスタ回路501a、レベルシフト回路502a、バッファ回路503a、サンプリング回路504を備えている。また、走査信号駆動回路(A)(B)185は、シフトレジスタ回路501b、レベルシフト回路502b、バッファ回路503bを備えている。

【0087】シフトレジスタ回路501a、501bは駆動電圧が5～16V(代表的には10V)であり、こ

の回路を形成するCMOS回路のTFTは、図4(C)の第1のpチャネル型TFT(A)200aと第1のnチャネル型TFT(A)201aで形成する。或いは、図5(A)で示す第1のpチャネル型TFT(B)200bと第1のnチャネル型TFT(B)201bで形成しても良い。また、レベルシフト回路502a、502bやバッファ回路503a、503bは駆動電圧が14～16Vと高くなるので図5(A)で示すようなマルチゲートのTFT構造とすることが望ましい。マルチゲート構造でTFTを形成すると耐圧が高まり、回路の信頼性を向上させる上で有効である。

【0088】サンプリング回路504はアナログスイッチから成り、駆動電圧が14～16Vであるが、極性が交互に反転して駆動される上、オフ電流値を低減させる必要があるため、図4(C)で示す第2のpチャネル型TFT(A)202aと第2のnチャネル型TFT(A)203aで形成することが望ましい。或いは、オフ電流値を効果的に低減させるために図5(B)で示す第2のpチャネル型TFT(B)200bと第2のnチャネル型TFT(B)201bで形成しても良い。

【0089】また、画素部は駆動電圧が14～16Vであり、低消費電力化の観点からサンプリング回路よりもさらにオフ電流値を低減することが要求され、図4

(C)で示す画素TFT204のようにマルチゲート構造を基本とする。

【0090】尚、本実施例の構成は、実施例1～2に示した工程に従ってTFTを作製することによって容易に実現することができる。本実施例では、画素部と駆動回路の構成のみを示しているが、実施例1～2の工程に従えば、その他にも信号分割回路、分周波回路、D/Aコンバータ、 $\gamma$ 補正回路、オペアンプ回路、さらにメモリ回路や演算処理回路などの信号処理回路、あるいは論理回路を同一基板上に形成することが可能である。このように、本発明は同一基板上に画素部とその駆動回路とを含む半導体装置、例えば信号制御回路および画素部を具備した液晶表示装置を実現することができる。

【0091】[実施例6] 本発明は、電蝕の起きない、導電性金属配線とITO膜の積層構造を決めるものであり、これは導電性金属配線の機械的強度を高める手段として応用できる。本実施例では、ガラス基板上の、フレキシブルプリント回路基板を接続する端子部分である導電性金属配線を、ITO膜を上形成することで、機械的強度を高めている。ITOを用いる理由は、前記ガラス基板に、液晶表示装置やEL型表示装置を作製される場合、導電性金属配線形成後に成膜されるため、工程が増えることがないからである。この工程を図16を用いて説明する。

【0092】図16(A)、(B)は層間絶縁膜2701、2702、2703形成工程を説明している。層間絶縁膜は絶縁性、密着性を持たせる目的で形成するが、

ガラス上でこれが達成されれば無くても差し支えない。

(C)では、導電性金属配線 2704 を形成している。導電性金属配線は、実施例 1 同様、3 層以上の構造になる様形成する。また、A1 酸化層 2705 が十分形成されない場合、酸素プラズマ、熱酸化を用いてもよい。

(D)では、導電性金属配線の上に ITO 膜 2706 を形成している。この例では、導電性金属配線が形成されていない部分にも ITO 膜を残している。(E)では、端子になる部分以外にスペーサ 2707 を形成している。この状態より、公知の技術でフレキシブルプリント回路基板を貼合わせることができる。

【0093】〔実施例 7〕本発明を実施して作製されたアクティブマトリクス基板および液晶表示装置並びに EL 型表示装置は様々な電気光学装置に用いることができる。そして、そのような電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を適用することができる。電子機器としては、パーソナルコンピュータ、デジタルカメラ、ビデオカメラ、携帯情報端末（モバイルコンピュータ、携帯電話、電子書籍など）、ナビゲーションシステムなどが上げられる。

【0094】図 17 (A) は携帯情報端末であり、本体 2201、画像入力部 2202、受像部 2203、操作スイッチ 2204、表示装置 2205 で構成される。本発明は表示装置 2205 やその他の信号制御回路に適用することができる。

【0095】このような携帯型情報端末は、屋内はもとより屋外で使用されることも多い。長時間の使用を可能とするためにはバックライト使用せず、外光を利用する反射型の液晶表示装置が低消費電力型として適しているが、周囲が暗い場合にはバックライトを設けた透過型の液晶表示装置が適している。このような背景から反射型と透過型の両方の特徴を兼ね備えたハイブリット型の液晶表示装置が開発されているが、本発明はこのようなハイブリット型の液晶表示装置にも適用できる。表示装置 2205 はタッチパネル 3002、液晶表示装置 3003、LED バックライト 3004 により構成されている。タッチパネル 3002 は携帯型情報端末の操作を簡便にするために設けている。タッチパネル 3002 の構成は、一端に LED などの発光素子 3100 を、他の一端にフォトダイオードなどの受光素子 3200 が設けられ、その両者の間に光路が形成されている。このタッチパネル 3002 を押して光路を遮ると受光素子 3200 の出力が変化するので、この原理を用いて発光素子と受光素子を液晶表示装置上でマトリクス状に配置させることにより、入力媒体として機能させることができる。

【0096】図 17 (B) はハイブリット型の液晶表示装置の画素部の構成であり、画素 TFT 204 および保持容量 205 上の第 2 の層間絶縁膜上にドレイン配線 263 と画素電極 262 が設けられている。このような構成は、実施例 1 を適用すれば形成することができる。こ

のときドレイン配線は実施例 1 で示したような積層構造を成し、画素電極を兼ねる構成としている。画素電極 262 は実施例 1 で説明した透明導電膜材料を用いて形成する。液晶表示装置 3003 をこのようなアクティブマトリクス基板から作製することで携帯型情報端末に好適に用いることができる。

【0097】図 18 (A) はパーソナルコンピュータであり、マイクロプロセッサやメモリーなどを備えた本体 2001、画像入力部 2002、表示装置 2003、キーボード 2004 で構成される。本発明は表示装置 2003 やその他の信号処理回路を形成することができる。

【0098】図 18 (B) はビデオカメラであり、本体 2101、表示装置 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 で構成される。本発明は表示装置 2102 やその他の信号制御回路に適用することができる。

【0099】図 18 (D) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 2401、表示装置 2402、スピーカー部 2403、記録媒体 2404、操作スイッチ 2405 で構成される。尚、記録媒体には DVD (Digital Versatile Disc) やコンパクトディスク (CD) などを用い、音楽プログラムの再生や映像表示、ビデオゲームやインターネットを介した情報表示などを行うことができる。本発明は表示装置 2402 やその他の信号制御回路に好適に利用することができる。

【0100】図 18 (E) はデジタルカメラであり、本体 2501、表示装置 2502、接眼部 2503、操作スイッチ 2504、受像部（図示しない）で構成される。本発明は表示装置 2502 やその他の信号制御回路に適用することができる。

【0101】図 19 (A) はフロント型プロジェクターであり、光源光学系および表示装置 2601、スクリーン 2602 で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。図 19 (B) はリア型プロジェクターであり、本体 2701、光源光学系および表示装置 2702、ミラー 2703、スクリーン 2704 で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0102】なお、図 19 (C) に、図 19 (A) および図 19 (B) における光源光学系および表示装置 2601、2702 の構造の一例を示す。光源光学系および表示装置 2601、2702 は光源光学系 2801、ミラー 2802、2804～2806、ダイクロイックミラー 2803、ビームスプリッター 2807、液晶表示装置 2808、位相差板 2809、投射光学系 2810 で構成される。投射光学系 2810 は複数の光学レンズで構成される。図 19 (C) では液晶表示装置 2808 を三つ使用する三板式の例を示したが、このような方式に限定されず、単板式の光学系で構成しても良い。ま

た、図 19 (C) 中で矢印で示した光路には適宜光学レンズや偏光機能を有するフィルムや位相を調節するためのフィルムや、IR フィルムなどを設けても良い。また、図 19 (D) は図 19 (C) における光源光学系 2801 の構造の一例を示した図である。本実施例では、光源光学系 2801 はリフレクター 2811、光源 2812、レンズアレイ 2813、2814、偏光変換素子 2815、集光レンズ 2816 で構成される。尚、図 19 (D) に示した光源光学系は一例であって図示した構成に限定されるものではない。

【0103】また、ここでは図示しなかったが、本発明はその他にも、ナビゲーションシステムやイメージセンサの読み取り回路などに適用することも可能である。このように本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1~4 の技術を用いて実現することができる。

【0104】

【発明の効果】本発明を用いることで、透明導電膜を用いた半導体装置の製造において、その歩留まりを向上させ、工程を削減することができる。

【0105】本発明の半導体装置の作製方法に従えば、駆動回路部の p チャネル型 TFT、n チャネル型 TFT および画素 TFT をゲート電極と重なる LDD 構造としたアクティブマトリクス基板を 5 枚のフォトマスクで製造することができる。このようなアクティブマトリクス基板から透過型の液晶表示装置を 6 枚のフォトマスクで製造することができる。

【0106】

【図面の簡単な説明】

【図 1】 画素 TFT、駆動回路の TFT の作製工程を示す断面図。

【図 2】 画素 TFT、駆動回路の TFT の作製工程を示す断面図。

【図 3】 画素 TFT、駆動回路の TFT の作製工程を示す断面図。

【図 4】 画素 TFT、駆動回路の TFT の作製工程を示す断面図。

【図 5】 駆動回路の TFT の構成を示す断面図。

【図 6】 画素 TFT の構成を示す断面図。

【図 7】 画素部の画素を示す上面図。

【図 8】 結晶質半導体層の作製工程を示す断面図。

【図 9】 結晶質半導体層の作製工程を示す断面図。

【図 10】 画素 TFT、駆動回路の TFT の作製工程を示す断面図。

【図 11】 アクティブマトリクス型液晶表示装置の作製工程を示す断面図。

【図 12】 液晶表示装置の入出力端子、配線、回路配置、スペーサ、シール剤の配置を説明する上面図。

【図 13】 液晶表示装置の構造を示す斜視図。

【図 14】 液晶表示装置の回路構成を説明するブロック図。

【図 15】 TFT の断面図と LDD 領域の構成を説明する図。

【図 16】 FPC 接続部において配線/ITO 積層構造の作製工程を示す断面図。

10 【図 17】 携帯型情報端末の一例を示す図。

【図 18】 半導体装置の一例を示す図。

【図 19】 投影型液晶表示装置の構成を示す図。

【図 20】 逆スタガー型構造の TFT における画素部の構成を示す断面図。

【図 21】 本願発明における ITO/配線積層サンプル構造の TEM 写真。

【図 22】 アルミニウム膜と ITO 膜を積層し、パターニング、エッチングしたときの光学顕微鏡写真。

【図 23】 本願発明における ITO/配線積層を形成したときの光学顕微鏡写真。

20 【図 24】 本願発明における薄膜境界及び界面での EDX 測定結果。

【図 25】 本願発明における薄膜境界及び界面での EDX 測定結果。

【図 26】 本願発明における薄膜境界及び界面での EDX 測定結果。

【図 27】 本願発明における薄膜境界及び界面での EDX 測定結果。

30 【図 28】 本願発明における薄膜境界及び界面での EDX 測定結果。

【図 29】 本願発明における薄膜境界及び界面での EDX 測定結果。

【図 30】 本願発明における薄膜境界及び界面での EDX 測定結果。

【図 31】 本願発明における薄膜境界及び界面での EDX 測定結果。

【図 32】 本願発明における薄膜中の EDX 測定結果。

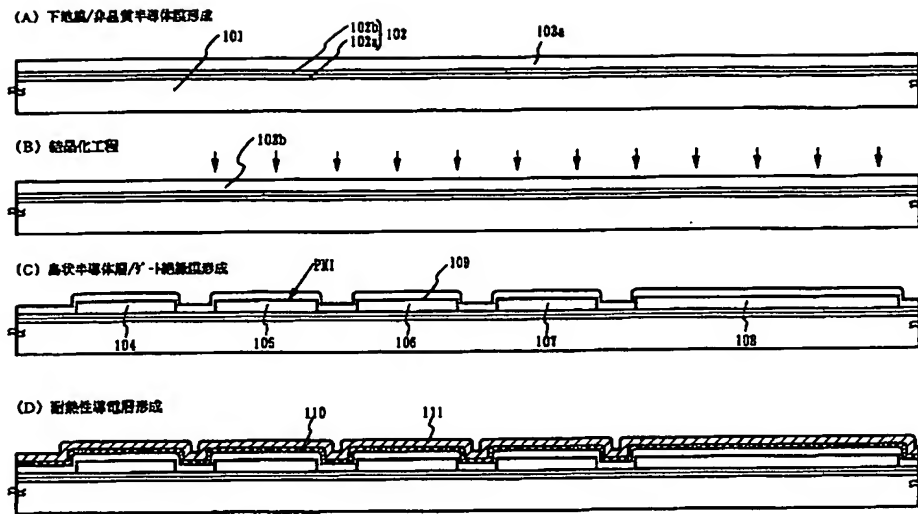
40 【図 33】 本願発明における薄膜中の EDX 測定結果。

【図 34】 本願発明における薄膜中の EDX 測定結果。

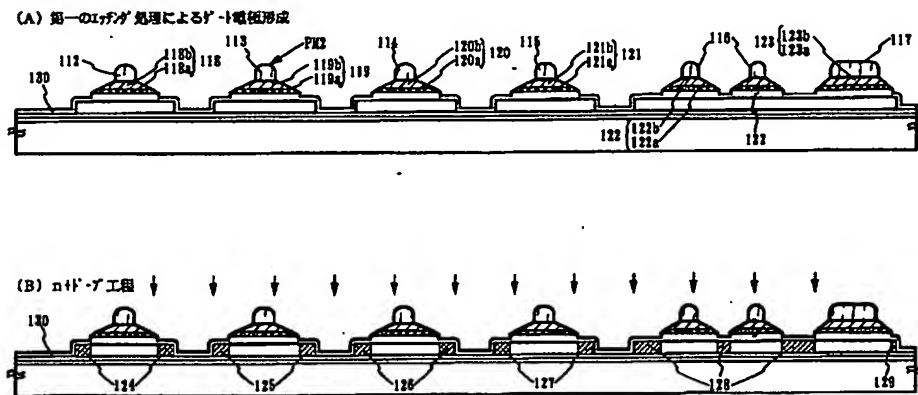
【図 35】 本願発明における薄膜中の EDX 測定結果。

【図 36】 本願発明における薄膜中の EDX 測定結果。

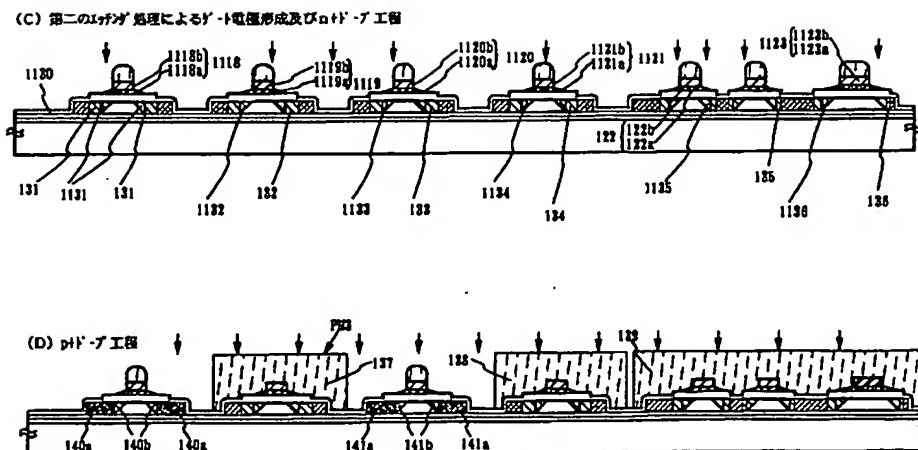
【図1】



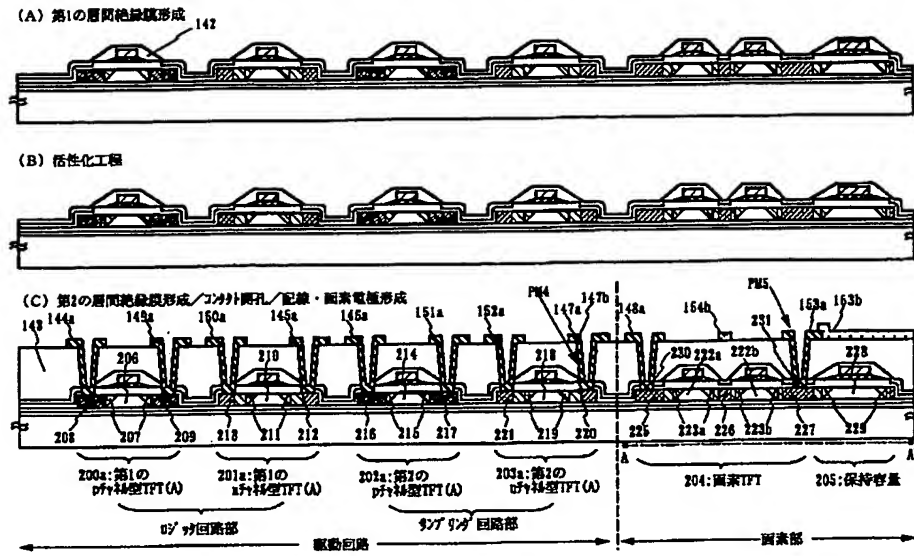
【図2】



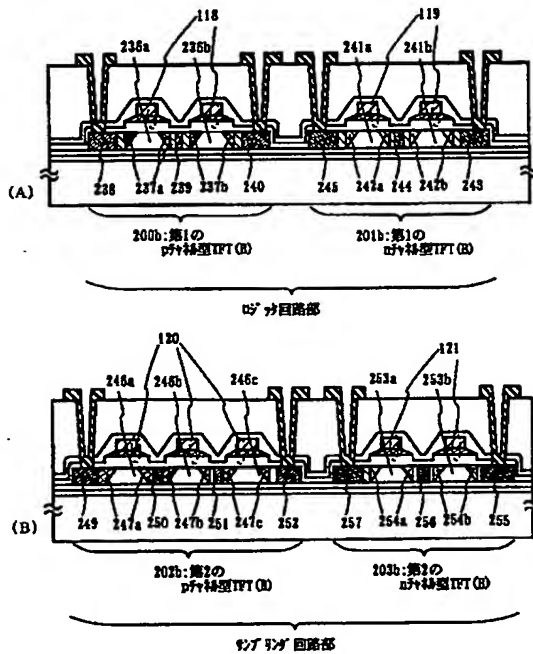
【図3】



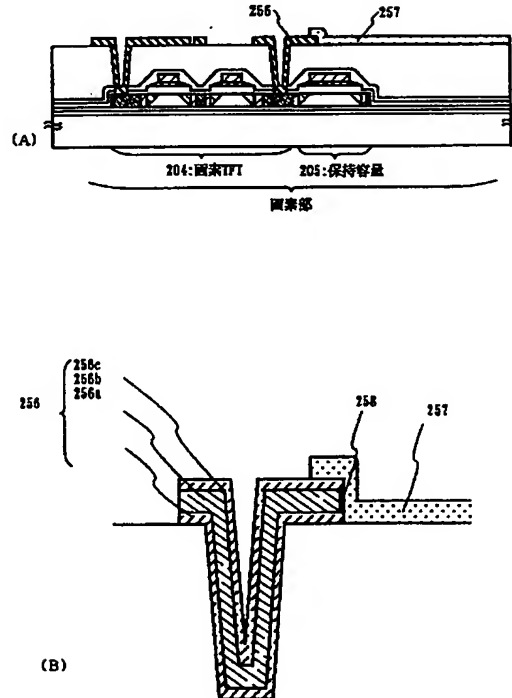
【図4】



【図5】

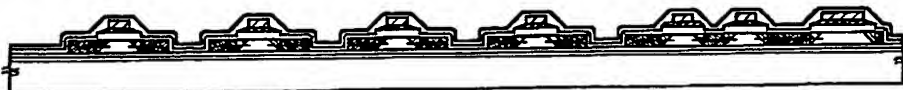


【図6】

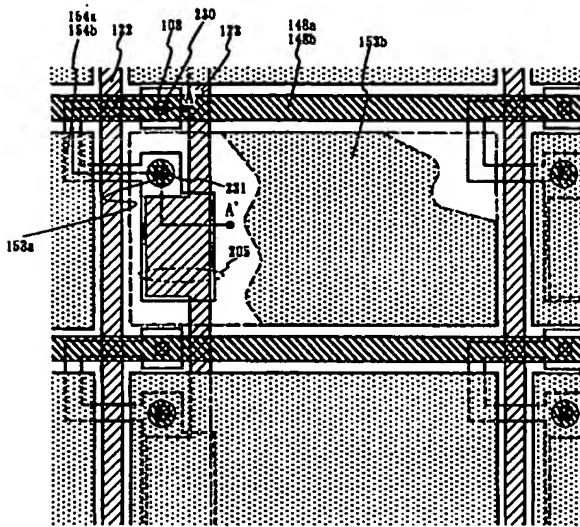


【図10】

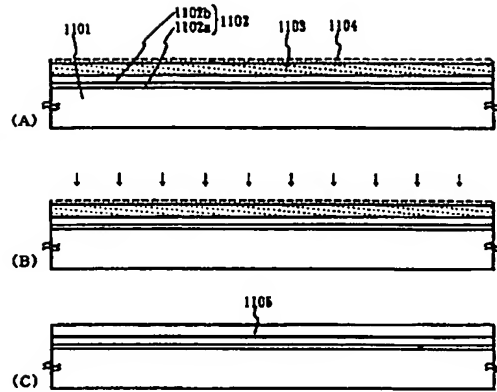
活性化工程



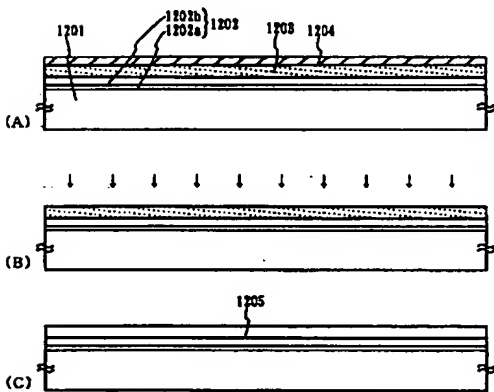
【図 7】



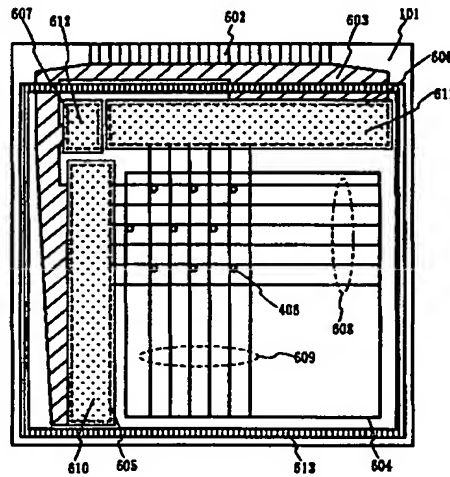
【図 8】



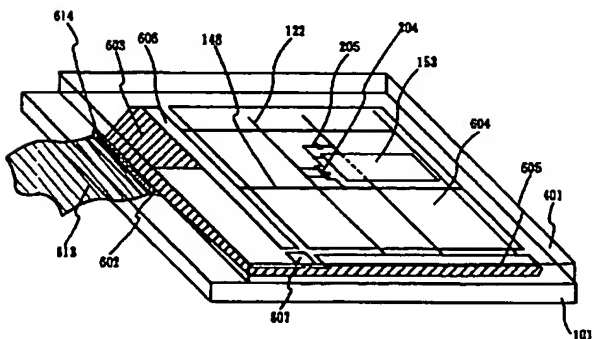
【図 9】



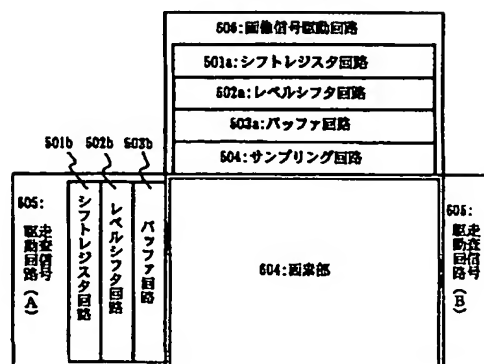
【図 12】



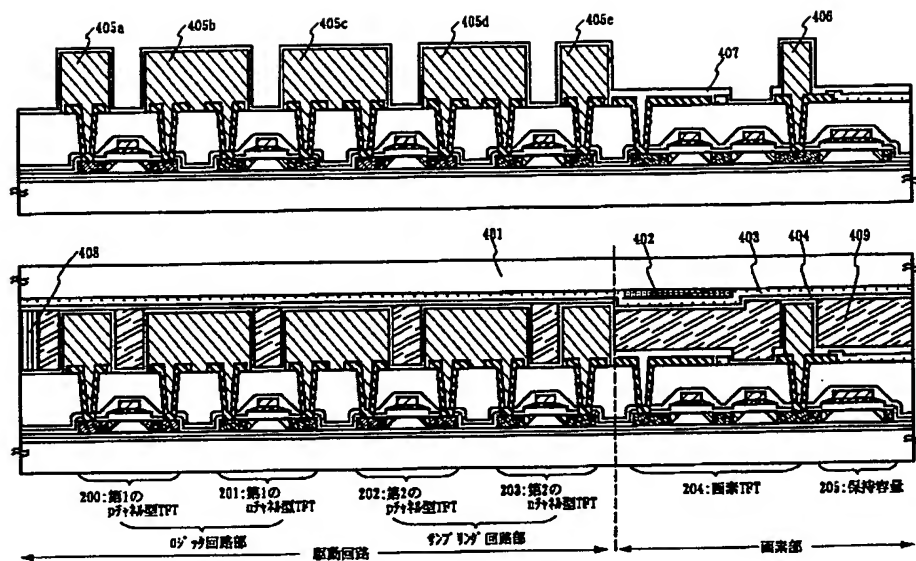
【図 13】



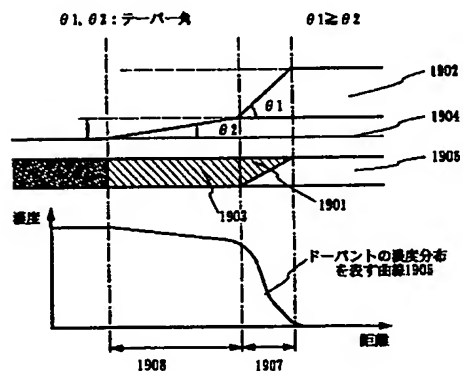
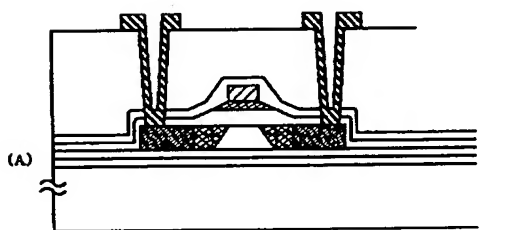
【図 14】



【図11】

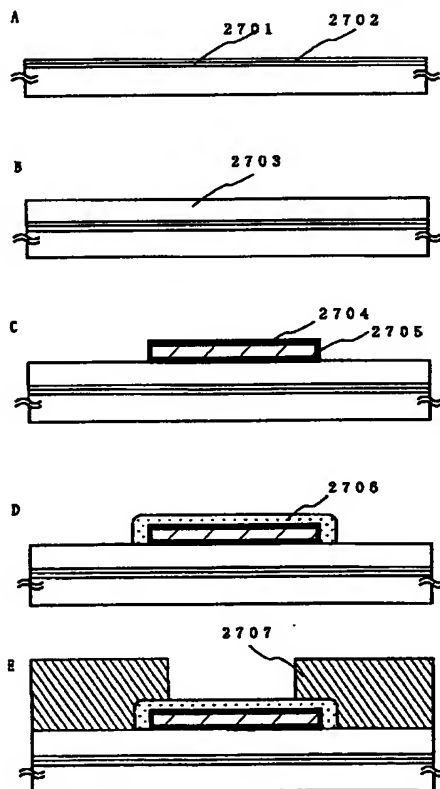


【図15】



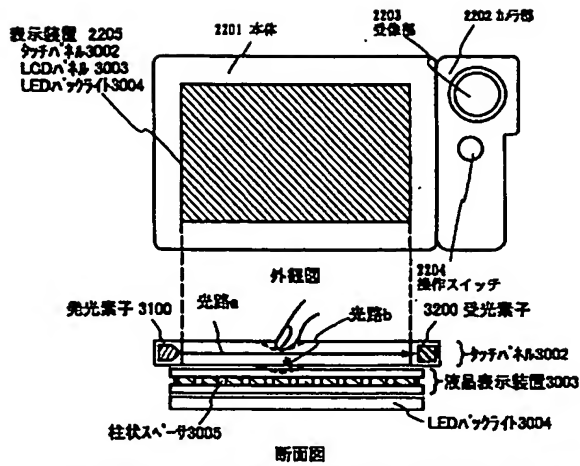
(B)

【図16】

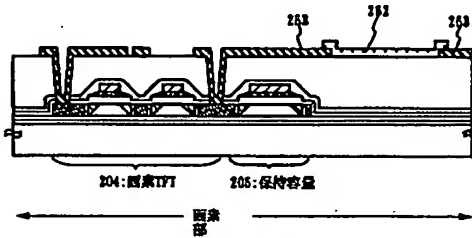




【図 17】

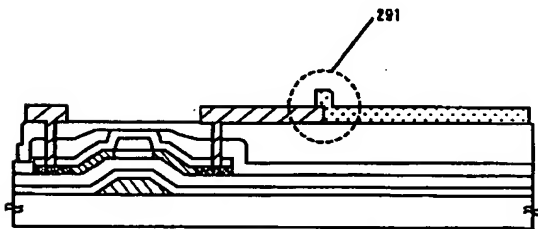


(A) 携帯情報端末機器(光学式タッチパネル)の外観図および断面図



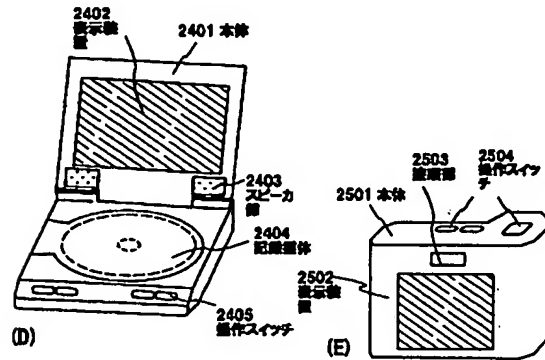
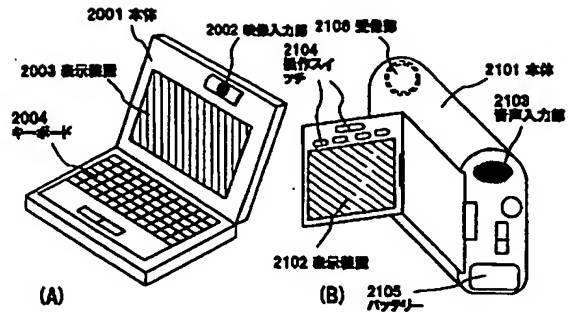
(B) 画素部断面図

【図 20】

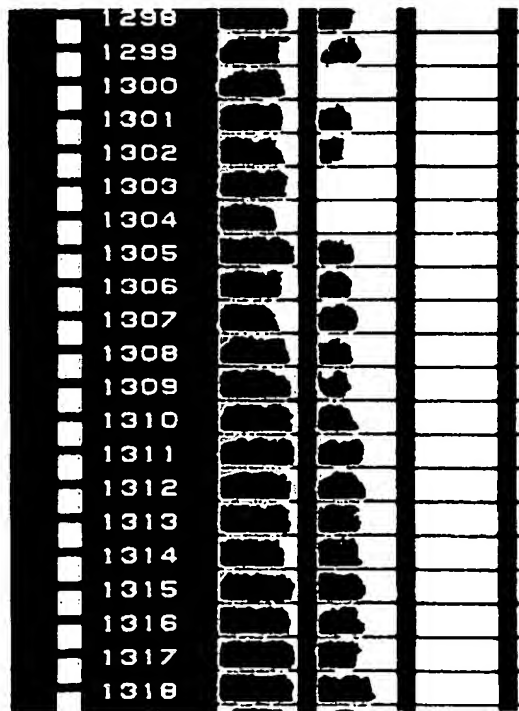


逆スタガ型TFTに本発明を適用した場合

【図 18】

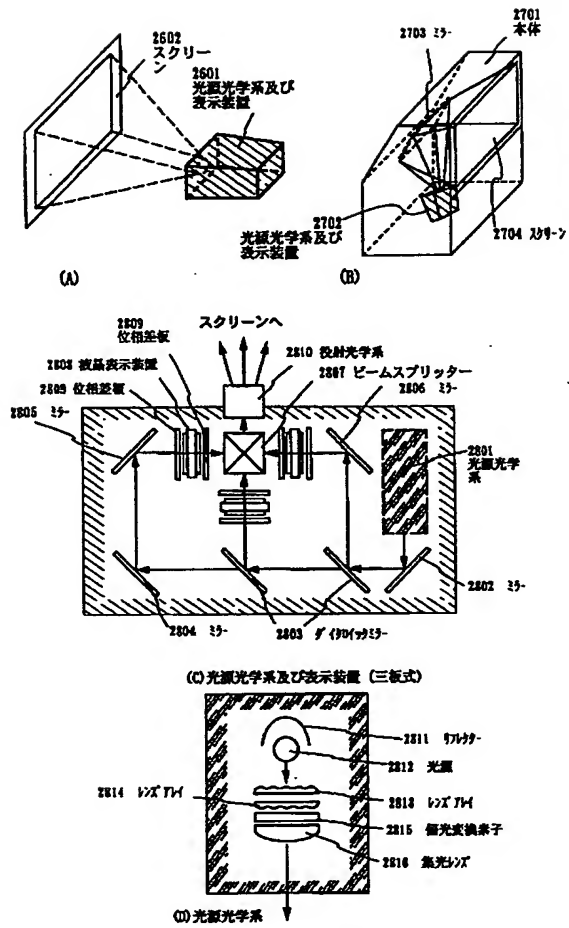


【図 22】

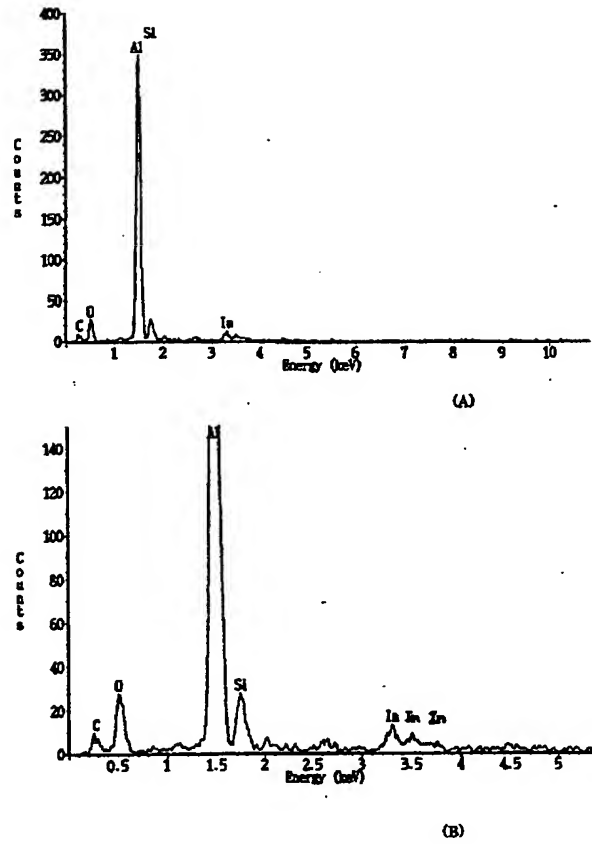


BEST AVAILABLE COPY

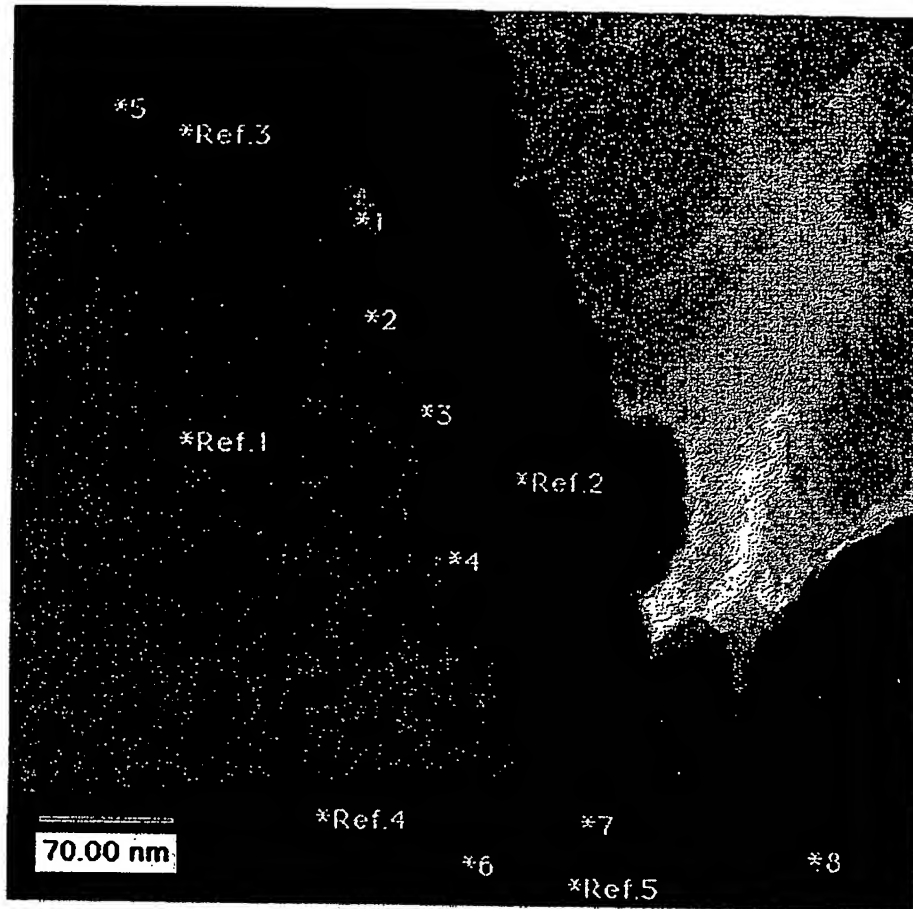
【図19】



【図24】



【図21】

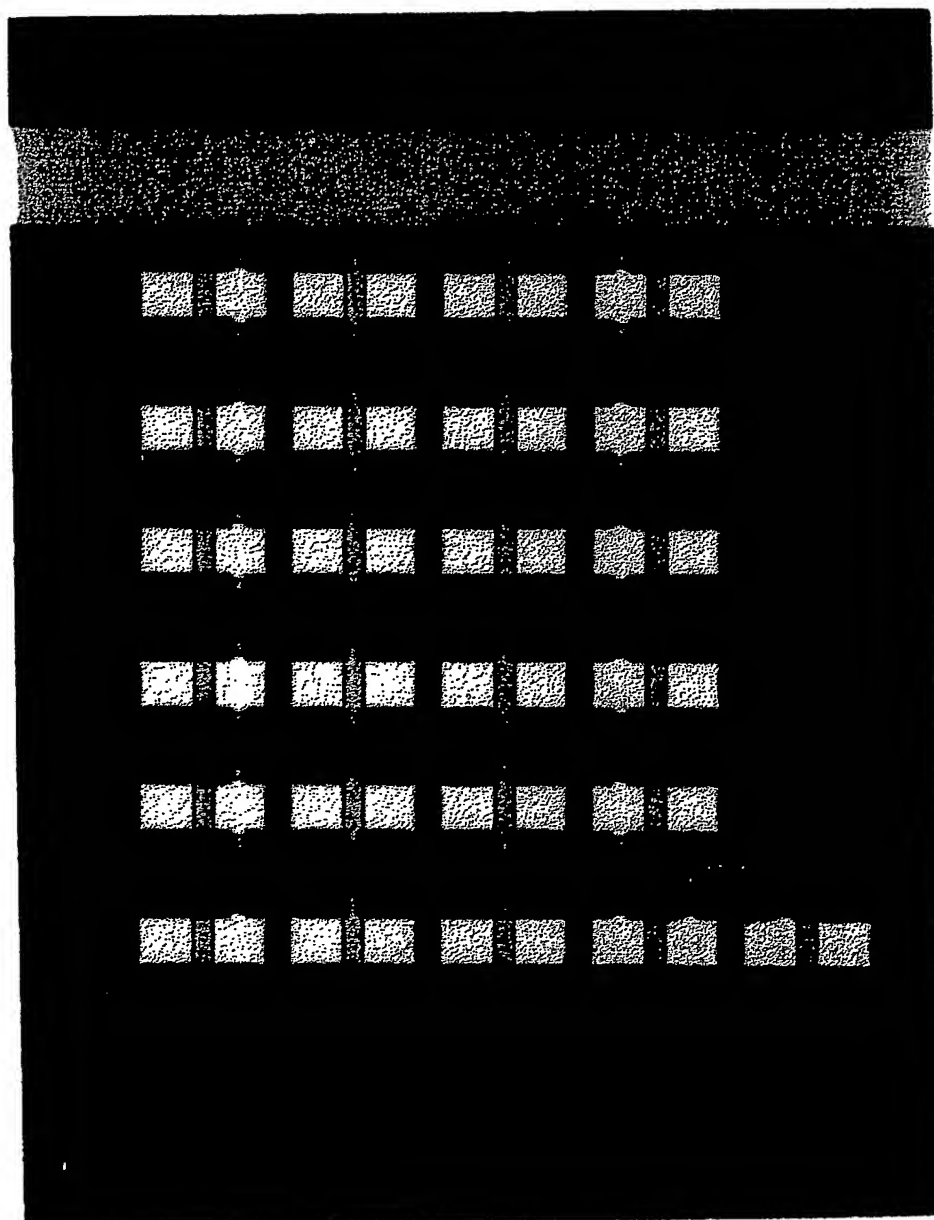


写真中の記号と本文中の番号の対応

\*1---211、\*2---212、\*3---213、\*4---214、\*5---215、\*6---216、\*7---217、\*8---218、

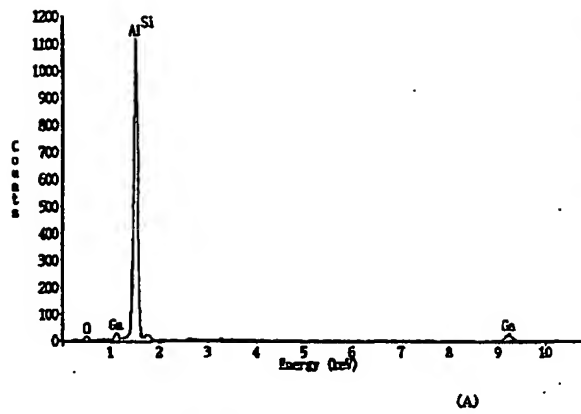
\*ref.1---2101、\*ref.2---2102、\*ref.3---2103、\*ref.4---2104、\*ref.5---2105

【図 23】

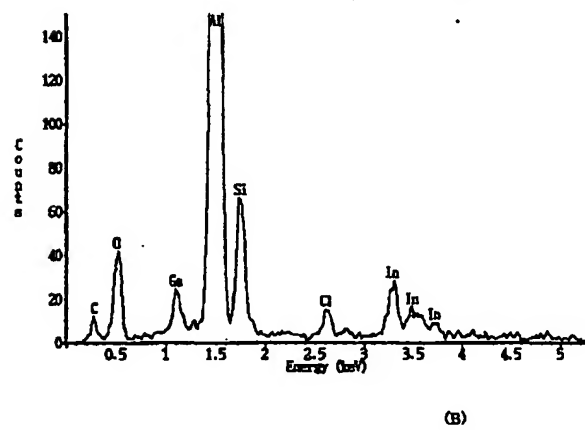
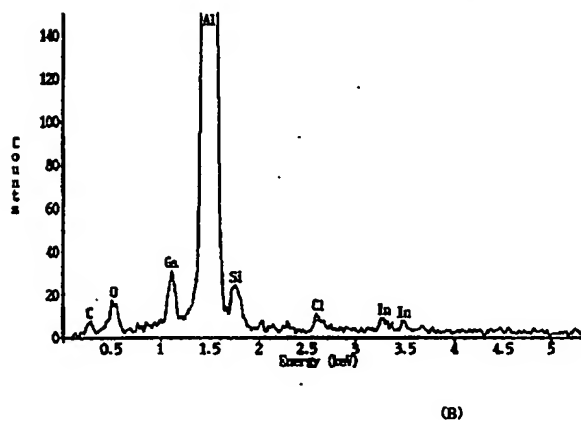
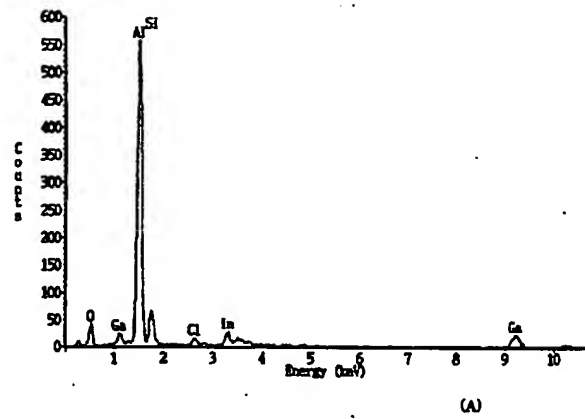


BEST AVAILABLE COPY

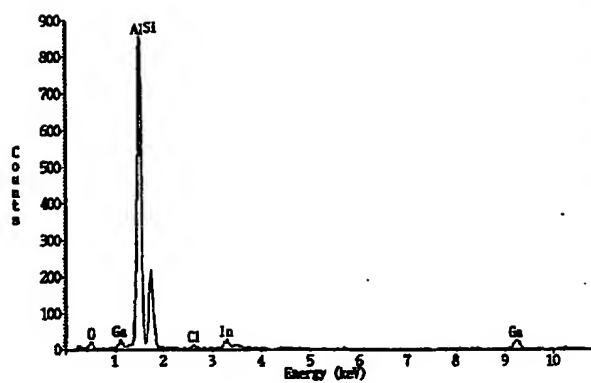
【図25】



【図26】

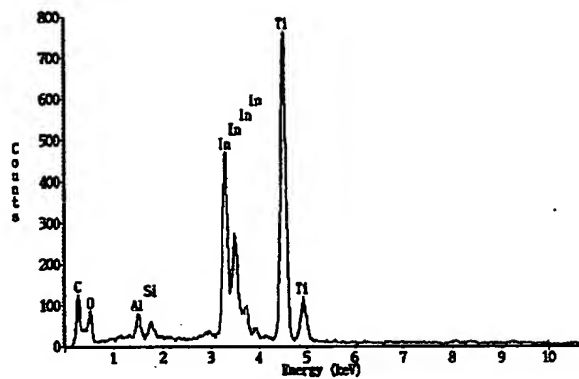


【図27】

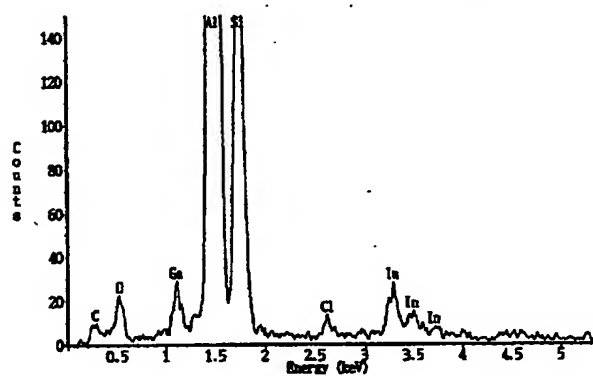


(A)

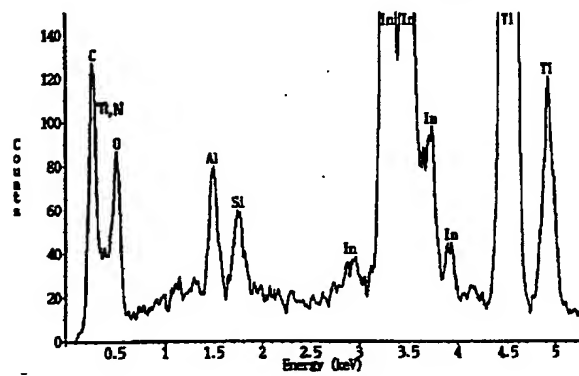
【図28】



(A)

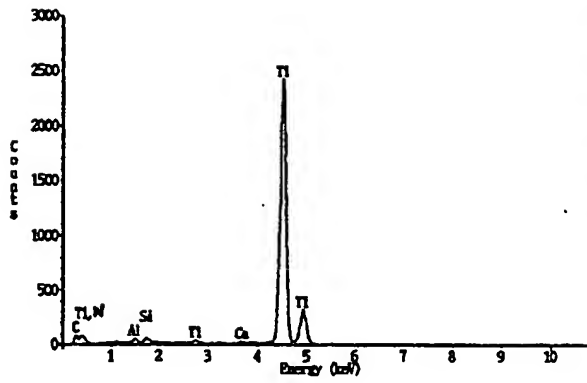


(B)

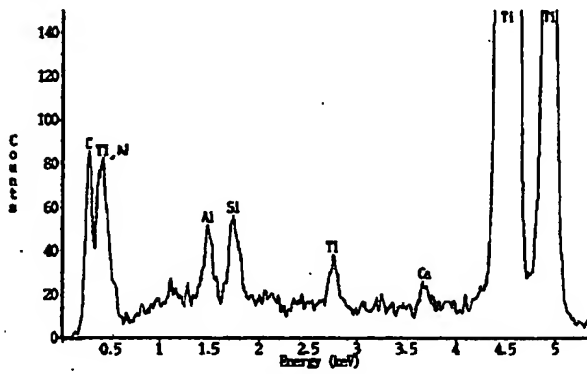


(B)

【図 29】

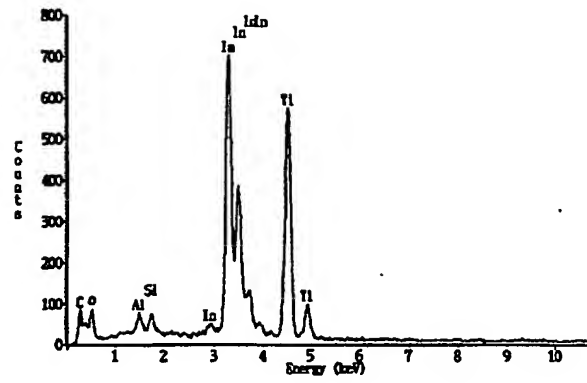


(A)

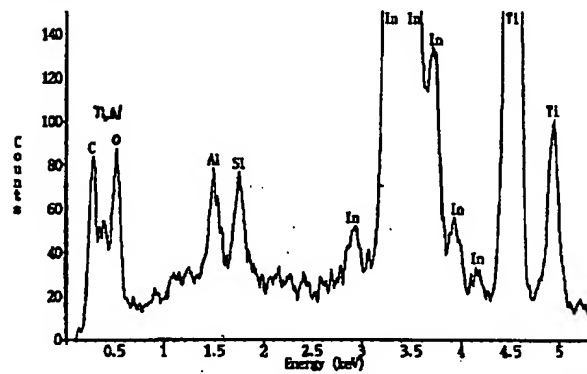


(B)

【図 30】



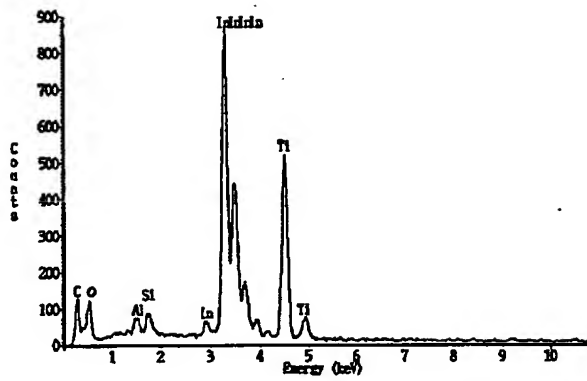
(A)



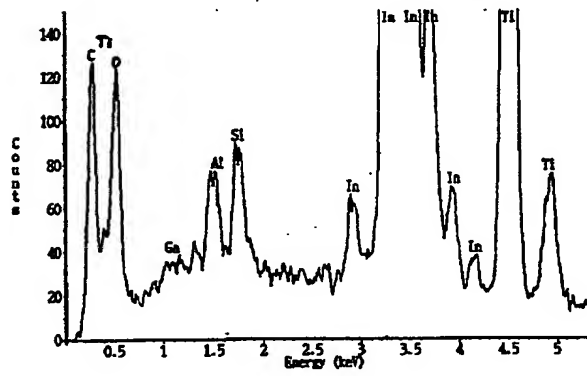
(B)



【図31】

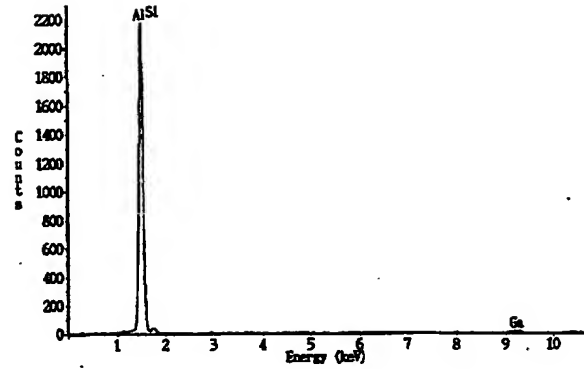


(A)

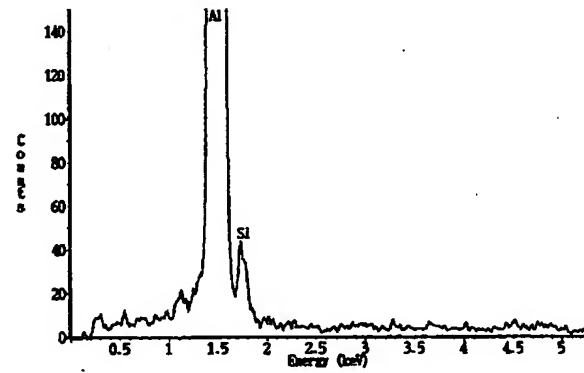


(B)

【図32】

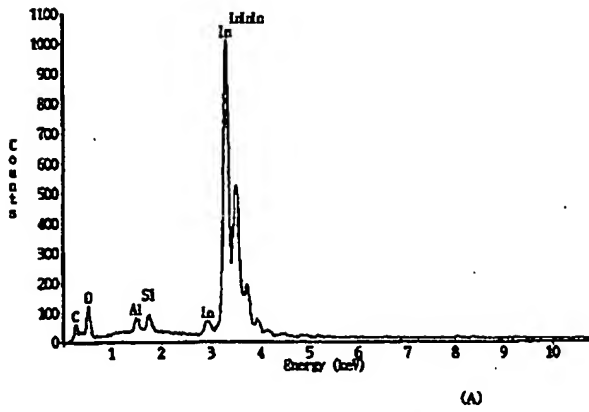


(A)

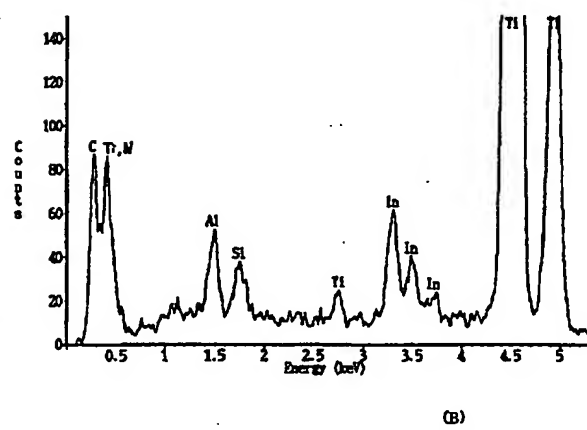
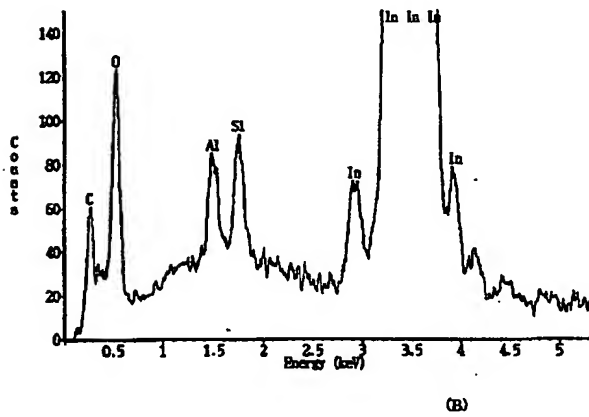
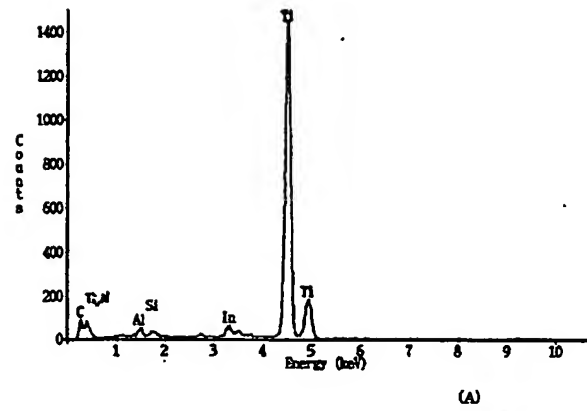


(B)

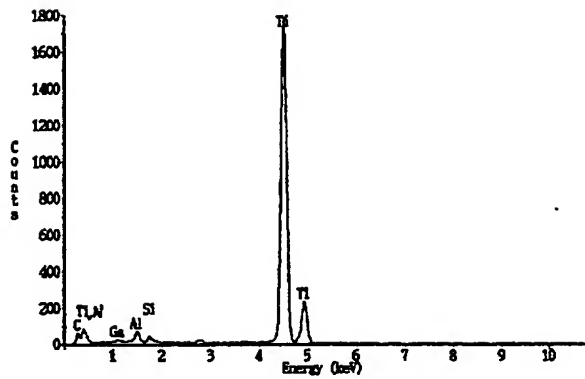
【図 33】



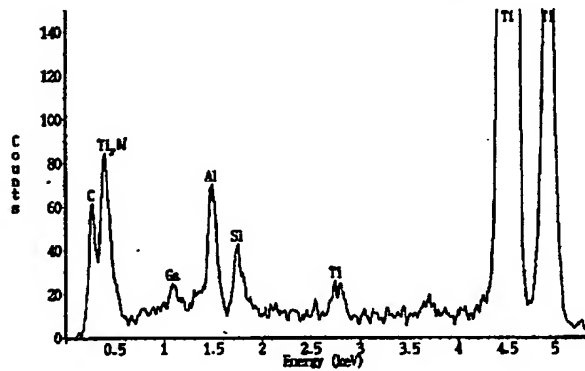
【図 34】



【図35】

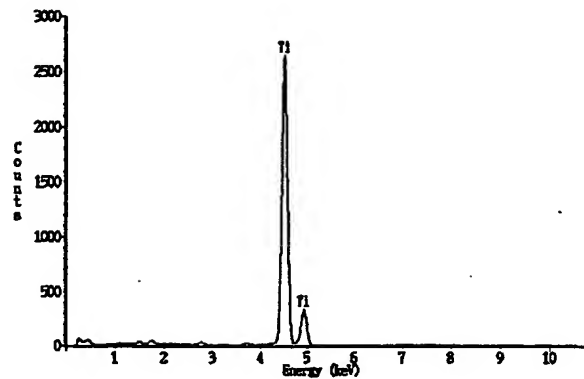


(A)

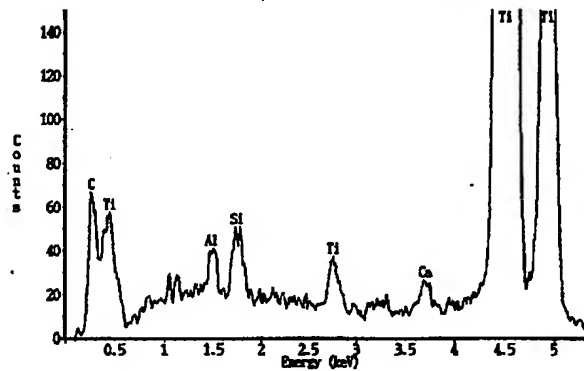


(B)

【図36】



(A)



(B)

フロントページの続き

(51)Int.Cl.<sup>7</sup>

識別記号

F I  
H 0 1 L 29/78

ターマコード(参考)

6 1 6 J

(72)発明者 秋元 健吾

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

Fターム(参考) 2H092 GA50 GA51 HA04 HA06 JA24  
JA46 KA03 KA04 KA05 KA12  
KB04 KB13 MA08 MA14 MA19  
MA30 NA27 NA29 PA03 PA06  
5C094 AA42 AA43 BA03 BA43 CA19  
CA24 DA14 DA15 EA04 EA07  
EB02 FB12 FB14 FB15 HA06  
HA08 HA10  
5F110 AA01 AA06 AA16 AA26 AA30  
BB02 BB04 CC02 DD01 DD02  
DD13 DD14 DD15 DD17 EE04  
EE14 EE22 EE23 EE28 EE44  
FF02 FF04 FF12 FF28 FF30  
FF36 GG01 GG02 GG13 GG28  
GG32 GG43 GG45 GG51 GG52  
HJ01 HJ04 HJ12 HJ23 HL01  
HL03 HL04 HL12 HL22 HL23  
HL27 HM15 HM18 NN03 NN04  
NN22 NN23 NN24 NN27 NN35  
NN36 NN72 NN78 PP01 PP02  
PP03 PP34 PP35 QQ09 QQ11  
QQ24 QQ25 QQ28

**THIS PAGE BLANK (USPTO)**